

#6/3/26/02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Michiharu MATSUI, et al.

SERIAL NO: 09/956,986

FILED: September 21, 2001

FOR: NONVOLATILE SEMICONDUCTOR MEMORY DEVICE HAVING ELEMENT ISOLATING REGION OF TRENCH TYPE AND METHOD OF MANUFACTURING THE SAME

GAU:

EXAMINER:

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

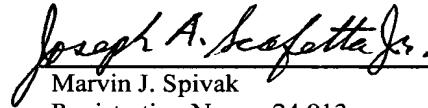
In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2000-291910	September 26, 2000
JAPAN	2001-272224	September 7, 2001

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - are submitted herewith
 - will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

 Marvin J. Spivak
Registration No. 24,913
Joseph A. Scafetta, Jr.
Registration No. 26,803

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

09/956,986



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

2000年 9月26日

出願番号
Application Number:

特願2000-291910

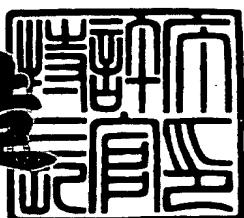
出願人
Applicant(s):

株式会社東芝

2001年 3月 2日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3014550

【書類名】 特許願

【整理番号】 A000004864

【提出日】 平成12年 9月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/76

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 27

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

【氏名】 松井 法晴

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

【氏名】 森 誠一

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

【氏名】 白田 理一郎

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

【氏名】 竹内 祐司

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】	明細書	1
【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 半導体基板と、

前記半導体基板の素子領域を分離する素子分離領域と、

前記素子分離領域の表面と同一平面の表面を有し、前記素子領域に第1の絶縁膜を介して形成された第1の電極層と、

前記第1の電極層の表面の一部を露出した開口部を有する第2の絶縁膜と、

前記第2の絶縁膜上及び前記開口部内に形成された第2の電極層とを具備し、

前記開口部を介して前記第1の電極層と前記第2の電極層とが接続されていることを特徴とする半導体装置。

【請求項2】 半導体基板と、

前記半導体基板の素子領域を分離する素子分離領域と、

前記素子分離領域の表面と同一平面の表面を有し、前記素子領域に第1の絶縁膜を介して形成された第1の電極層と、

前記第1の電極層及び前記素子分離領域上に第2の絶縁膜を介して形成された第2の電極層と、

前記素子領域上の前記第2の電極層及び前記第2の絶縁膜の一部が除去され、前記第1の電極層の表面の一部を露出した開口部と、

前記開口部内及び前記第2の電極層上に形成された第3の電極層とを具備し、

前記開口部を介して前記第1の電極層と前記第3の電極層とが接続されていることを特徴とする半導体装置。

【請求項3】 半導体基板と、

前記半導体基板の素子領域を分離する素子分離領域と、

前記素子分離領域の表面と同一平面の表面を有し、前記素子領域に第1の絶縁膜を介して形成された第1の電極層と、

前記第1の電極層の表面及び前記第1の電極層に隣接して形成されている前記素子分離領域の表面の一部を露出した開口部を有する第2の絶縁膜と、

前記第2の絶縁膜上及び前記開口部内に形成された第2の電極層とを具備し、

前記開口部を介して前記第1の電極層と前記第2の電極層とが接続されていることを特徴とする半導体装置。

【請求項4】 前記請求項3記載の半導体装置はNAND型フラッシュメモリの選択ゲートトランジスタであり、この選択ゲートトランジスタと同一平面上に前記第2の絶縁膜が全て除去されている周辺回路素子が設けられていることを特徴とする請求項3記載の半導体装置。

【請求項5】 前記第2の絶縁膜の存在する前記素子領域の上方で前記第2の電極層に接続されたコンタクトホールとをさらに具備することを特徴とする請求項1記載の半導体装置。

【請求項6】 前記素子分離領域の上方で前記第2の電極層に接続されたコンタクトホールとをさらに具備することを特徴とする請求項1又は3記載の半導体装置。

【請求項7】 前記素子分離領域の上方で前記第3の電極層に接続されたコンタクトホールとをさらに具備することを特徴とする請求項2記載の半導体装置。

【請求項8】 前記第1の電極層と前記第1の電極層に信号を与える配線との接続は、前記第2の電極層を前記素子分離領域上まで引き出して前記第2の電極層を介して行われていることを特徴とする請求項1又は3記載の半導体装置。

【請求項9】 前記第1の電極層と前記第1の電極層に信号を与える配線との接続は、前記第3の電極層を前記素子分離領域上まで引き出して前記第3の電極層を介して行われていることを特徴とする請求項2記載の半導体装置。

【請求項10】 メモリセルアレイ領域の周辺に形成されている周辺回路領域における素子であることを特徴とする請求項1又は2記載の半導体装置。

【請求項11】 NAND型フラッシュメモリの選択ゲートトランジスタであることを特徴とする請求項3記載の半導体装置。

【請求項12】 前記第2の電極層は、前記第1の電極層よりも低抵抗な層であり、高融点金属層又は高融点金属シリサイド層であることを特徴とする請求項1又は3記載の半導体装置。

【請求項13】 前記第2、第3の電極層は、前記第1の電極層よりも低抵

抗な層であり、高融点金属層又は高融点金属シリサイド層であることを特徴とする請求項2記載の半導体装置。

【請求項14】 前記第2の絶縁膜は、シリコン窒化膜を含む複合絶縁膜であることを特徴とする請求項1乃至3記載の半導体装置。

【請求項15】 前記半導体基板の素子領域を分離する前記素子分離領域と

前記素子領域に前記第1の絶縁膜を介して形成された前記第1の電極層と、

前記第1の電極層及び前記素子分離領域上に形成された前記第2の絶縁膜と、

前記第2の絶縁膜上に形成された前記第2の電極層とを具備するメモリセル領域における半導体装置であって、

前記メモリセル領域の前記素子分離領域の表面は前記第1の電極層の表面よりも下に位置していることを特徴とする請求項1又は3記載の半導体装置。

【請求項16】 前記半導体基板の素子領域を分離する前記素子分離領域と

前記素子領域に前記第1の絶縁膜を介して形成された前記第1の電極層と、

前記第1の電極層及び前記素子分離領域上に形成された前記第2の絶縁膜と、

前記第2の絶縁膜上に形成された前記第2の電極層と、

前記第2の電極層上に形成された第3の電極層とを具備するメモリセル領域における半導体装置であって、

前記メモリセル領域の前記素子分離領域の表面は前記第1の電極層の表面よりも下に位置していることを特徴とする請求項2記載の半導体装置。

【請求項17】 前記メモリセル領域において、前記第1の電極層は浮遊ゲートとして機能し、前記第2の電極層は制御ゲートとして機能することを特徴とする請求項15記載の半導体装置。

【請求項18】 前記メモリセル領域において、前記第1の電極層は浮遊ゲートとして機能し、前記第2、第3の電極層は制御ゲートとして機能することを特徴とする請求項16記載の半導体装置。

【請求項19】 メモリセル領域の周辺の周辺回路領域における半導体装置の製造方法であって、

半導体基板上に第1の絶縁膜が形成される工程と、
前記第1の絶縁膜上に第1の電極層が形成される工程と、
前記第1の電極層、前記第1の絶縁膜及び前記半導体基板が選択的に除去され
、素子領域を分離する素子分離領域が形成される工程と、
全面に第2の絶縁膜が形成される工程と、
リソグラフィ及びエッティングにより、前記素子領域上の前記第2の絶縁膜の一
部が除去されて前記第1の電極層の表面の一部が露出されることにより、開口部
が形成される工程と、
全面に第2の電極層が形成される工程と
を含むことを特徴とする半導体装置の製造方法。

【請求項20】 メモリセル領域の周辺の周辺回路領域における半導体装置
の製造方法であって、

半導体基板上に第1の絶縁膜が形成される工程と、
前記第1の絶縁膜上に第1の電極層が形成される工程と、
前記第1の電極層、前記第1の絶縁膜及び前記半導体基板が選択的に除去され
、素子領域を分離する素子分離領域が形成される工程と、
全面に第2の絶縁膜が形成される工程と、
前記第2の絶縁膜上に第2の電極層が形成される工程と、
前記第2の電極層上に第1のマスク膜が形成されてパターニングされ、前記素
子領域上に前記第2の電極層の表面の一部を露出する溝が形成される工程と、
前記溝の側面に第2のマスク膜からなる側壁が形成される工程と、
前記第1、第2のマスク膜を用いて、前記第2の電極層及び前記第2の絶縁膜
が除去され、前記素子領域上に開口部が形成される工程と、
前記第1、第2のマスク膜が除去される工程と、
全面に第3の電極層が形成される工程と
を含むことを特徴とする半導体装置の製造方法。

【請求項21】 メモリセル領域における半導体装置の製造方法であって、
前記メモリセル領域は前記周辺回路領域における素子と同時に形成されており

前記素子分離領域が形成された後、前記メモリセル領域における前記素子分離領域の上部が除去され、前記メモリセル領域における前記素子分離領域の表面が前記第1の電極層の表面よりも下に位置される工程とをさらに含むことを特徴とする請求項19又は20記載の半導体装置の製造方法。

【請求項22】 前記第2の絶縁膜の存在する前記素子領域の上方に前記第2の電極層に接続するコンタクトホールが形成される工程とをさらに含むことを特徴とする請求項19記載の半導体装置の製造方法。

【請求項23】 前記素子分離領域の上方に前記第2の電極層に接続するコンタクトホールが形成される工程とをさらに含むことを特徴とする請求項19記載の半導体装置の製造方法。

【請求項24】 前記素子分離領域の上方に前記第3の電極層に接続するコンタクトホールが形成される工程とをさらに含むことを特徴とする請求項20記載の半導体装置の製造方法。

【請求項25】 浮遊ゲートとして機能する第1の電極層と、制御ゲートとして機能する第2の電極層とを備え選択ゲートトランジスタを有するNAND型フラッシュメモリと、このNAND型フラッシュメモリの周辺に形成されている周辺回路領域とを具備した半導体装置において、

半導体基板と、

前記半導体基板の素子領域を分離する素子分離領域と、

前記素子分離領域の表面と同一平面の表面を有し、前記素子領域に第1の絶縁膜を介して形成された前記第1の電極層と、

前記周辺回路領域の第1の電極層の表面の一部を露出した開口部を有する第2の絶縁膜と、

前記第2の絶縁膜上及び前記開口部内に形成された前記第2の電極層とを具備し、

前記開口部を介して前記第1の電極層と前記第2の電極層とが接続されていることを特徴とする半導体装置。

【請求項26】 浮遊ゲートとして機能する第1の電極層と、制御ゲートとして機能する第2の電極層とを備え選択ゲートトランジスタを有するNAND型

フラッシュメモリと、このNAND型フラッシュメモリの周辺に形成されている周辺回路領域とを具備した半導体装置において、

半導体基板と、

前記半導体基板の素子領域を分離する素子分離領域と、

前記素子分離領域の表面と同一平面の表面を有し、前記素子領域に第1の絶縁膜を介して形成された前記第1の電極層と、

前記第1の電極層及び前記第1の電極層に隣接して形成されている前記素子分離領域上に第2の絶縁膜を介して形成された前記第2の電極層と、

前記周辺回路領域の前記素子領域上の前記第2の電極層及び前記第2の絶縁膜の一部が除去され、前記第1の電極層の表面の一部を露出する開口部と、

前記開口部内及び前記第2の電極層上に形成された前記第3の電極層とを具備し、

前記開口部を介して前記第1の電極層と前記第3の電極層とが接続されていることを特徴とする半導体装置。

【請求項27】 浮遊ゲートとして機能する第1の電極層と、制御ゲートとして機能する第2の電極層とを備えたメモリセル領域と、選択ゲートトランジスタ領域を有するNAND型フラッシュメモリと、このNAND型フラッシュメモリの周辺に形成されている周辺回路領域とを具備した半導体装置において、

半導体基板と、

前記半導体基板の素子領域を分離する素子分離領域と、

前記素子分離領域の表面と同一平面の表面を有し、前記素子領域に第1の絶縁膜を介して形成された前記第1の電極層と、

前記メモリセル領域においては全面に形成され、前記選択ゲートトランジスタ領域においては前記第1の電極層の表面及び前記第1の電極層に隣接して形成されている前記素子分離領域の表面の一部を露出した第1の開口部を有し、前記周辺回路領域においては前記第1の電極層の表面の一部を露出した第2の開口部を有する第2の絶縁膜と、

前記第2の絶縁膜、前記素子分離領域及び前記第1の電極層上に形成された前記第2の電極層とを具備し、

前記第1、第2の開口部を介して前記第1の電極層と前記第2の電極層とが接続されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に係わり、特に、浮遊ゲートを有する不揮発性メモリのメモリセルと周辺回路部のトランジスタのゲート構造に関する。

【0002】

【従来の技術】

浮遊ゲートと制御ゲートとを有するメモリセルと、このメモリセルを駆動する周辺回路とを同一チップ上に備えたフラッシュメモリにおいて、例えば、メモリセル領域と周辺回路領域の全面にゲート絶縁膜が形成され、このゲート絶縁膜上にメモリセルの浮遊ゲートとなるポリシリコン膜が堆積され、その後に素子分離領域が形成される方法が用いられる場合がある。この場合、周辺回路領域の少なくとも一部分には、メモリセルと同様に浮遊ゲートと制御ゲートとからなる2層のゲート電極層が存在する。この場合、周辺回路領域におけるトランジスタは、浮遊ゲートを引き出して上層配線と電気的に接続する必要がある。このような半導体装置の従来例を以下に説明する。

【0003】

図21は、第1の従来技術による半導体装置の断面図を示している（特開平11-163304）。図21に示すように、半導体基板11上に第1の絶縁膜12が形成され、この第1の絶縁膜12上にポリシリコンからなる第1の浮遊ゲート電極層13aが形成される。次に、素子分離溝が形成され、この素子分離溝が絶縁膜により埋め込まれる。この絶縁膜を第1の浮遊ゲート電極層13aの表面が露出するまで平坦化することにより、素子分離領域15が形成される。次に、全面にポリシリコンからなる第2の浮遊ゲート電極層13bが形成され、この第2の浮遊ゲート電極層13bがリソグラフィ及びエッティングによりパターニングされる。次に、全面に第2の絶縁膜16が形成され、この第2の絶縁膜16上に

制御ゲート電極層18が形成される。この制御ゲート電極層18及び第2の絶縁膜16がパターニングされた後、全面に第3の絶縁膜19が形成される。この第3の絶縁膜19内にコンタクトホール20が形成された後、このコンタクトホール20に接続する配線21が形成される。その結果、セル領域においては配線21と制御ゲート電極層18とが接続され、周辺回路領域においては配線21と第1、第2の浮遊ゲート電極層13a、13bとが接続される。

【0004】

上記第1の従来技術による半導体装置は、二層構造の浮遊ゲートを有し、この浮遊ゲートを構成する第1の浮遊ゲート電極層13aは素子分離領域15と自己整合構造になっているが、第2の浮遊ゲート電極層13bは素子分離領域15上に引き出された構造になっている。

【0005】

しかしながら、メモリセル領域においては、第2の浮遊ゲート電極層13bのパターニングの際、フォトレジストの解像限界により、微細な開口部と引き出し領域を形成することが困難であるため、メモリセルの微細化を図ることが難しかった。

【0006】

一方、周辺回路領域においては、コンタクトホール20が素子分離領域15上に形成される構造であるため、素子領域にダメージが生じることは回避できる。しかし、第2の浮遊ゲート電極層13bとコンタクトホール20との接続部から素子領域までの距離が長い。従って、通常、第2の浮遊ゲート電極層13bは高抵抗の電極材料（例えばポリシリコン）にて形成されるため、抵抗による遅延が大きくなり、素子の性能が低下する。特に、NAND型フラッシュメモリの選択ゲートトランジスタの場合、アレイの一部でしかコンタクトをとれないため、コンタクトから遠い位置にあるトランジスタまでの遅延時間の問題が顕著となる。また、高抵抗の第2の浮遊ゲート電極層13bが素子分離領域15上に引き出されると、素子分離領域15の絶縁膜を介して基板11と浮遊ゲートとが容量結合するため、RC遅延の増大にもつながる。

【0007】

そこで、第1の従来技術におけるセルの微細化の問題を回避するために、図22に示すように、第1の電極層13と素子領域とがいわゆる自己整合構造となつたS A - S T I (Self Aligned - Shallow Trench Isolation) セルが提案されている。

【0008】

図22は、第2の従来技術による半導体装置の断面図を示している。図22に示すように、半導体基板11上に第1の絶縁膜12が形成され、この第1の絶縁膜12上に浮遊ゲート電極層13が形成される。次に、素子分離溝が形成され、この素子分離溝が絶縁膜により埋め込まれる。この絶縁膜を浮遊ゲート電極層13の表面が露出するまで平坦化することにより、素子分離領域15が形成される。次に、セル領域における素子分離領域15の上部が除去され、セル領域における素子分離領域15の上面が浮遊ゲート電極層13の上面よりも下に位置される。その後、全面に第2の絶縁膜16が形成され、周辺回路領域における第2の絶縁膜16が除去される。次に、全面に制御ゲート電極層18が形成され、この制御ゲート電極層18及び第2の絶縁膜16がパターニングされる。次に、全面に第3の絶縁膜19が形成され、この第3の絶縁膜19内にコンタクトホール20が形成される。次に、コンタクトホール20に接続する配線21が形成される。その結果、セル領域においては配線21と制御ゲート電極層18とが接続され、周辺回路領域においては配線21と浮遊ゲート電極層13とが制御ゲート電極層18を介して接続される。

【0009】

上記第2の従来技術による半導体装置は、浮遊ゲート電極層13のパターニングは、素子分離領域15の形成と自己整合的に行われるため、第1の従来技術よりも容易に浮遊ゲート電極層13の微細加工が可能である。また、周辺回路領域において、配線21と浮遊ゲート電極層13との接続は、制御ゲート電極層18を素子分離領域15上まで引き出して制御ゲート電極層18を介して行われる。つまり、高抵抗の浮遊ゲート電極層13を素子分離領域15上まで引き出す必要がないため、浮遊ゲート電極層13の抵抗による遅延の問題を回避することができるとともに、基板11と浮遊ゲートとの容量結合によるRC遅延の問題も回避

できる。

【0010】

しかしながら、第2の従来技術の半導体装置の場合、メモリセル領域におけるゲートは浮遊ゲート電極層13と制御ゲート電極層18との間に第2の絶縁膜16が介在しているのに対し、周辺回路領域におけるゲートは浮遊ゲート電極層13と制御ゲート電極層18との間に第2の絶縁膜16が介在しない。つまり、メモリセル領域と周辺回路領域におけるゲートの積層構造が異なっている。このため、ゲート加工の際、メモリセル領域と周辺回路領域とで異なったエッティング条件にする必要がある。従って、メモリセル領域と周辺回路領域とのゲート加工を同時に行うことができないという問題があった。

【0011】

また、メモリセル領域と周辺回路領域とのゲート加工を同時に行うことができないと、その境界部に電極層が残ったり、あるいは2回のエッティングで基板が掘れてしまうのを防ぐために十分な余裕領域をとる必要がでてきたりする。このため、ゲート加工の際、積層構造が異なるメモリセル領域と周辺回路領域とが共に正確に加工できるためには、境界部に各種余裕をとる必要があり、チップ面積の増大を招いてしまう。特に、例えばNAND型フラッシュメモリのようにメモリセルと周辺回路の一部である選択ゲートトランジスタとを極めて近い距離に接近させが必要な場合、境界部の問題は顕著となる。

【0012】

【発明が解決しようとする課題】

以上のように、上記第1、第2の従来技術に係る半導体装置において、メモリセル領域の微細化を図りつつ周辺回路領域における抵抗遅延を回避し、かつメモリセル領域と周辺回路領域とのゲート加工を同時に行うことは困難であった。

【0013】

本発明は上記課題を解決するためになされたものであり、その目的とするところは、メモリセル領域の微細化を図りつつ周辺回路領域における抵抗遅延を回避し、かつメモリセル領域と周辺回路領域とのゲート加工を同時に行うことが可能な半導体装置及びその製造方法を提供することにある。

【0014】

【課題を解決するための手段】

本発明は、前記目的を達成するために以下に示す手段を用いている。

【0015】

本発明の第1の半導体装置は、半導体基板と、前記半導体基板の素子領域を分離する素子分離領域と、前記素子分離領域の表面と同一平面の表面を有し、前記素子領域に第1の絶縁膜を介して形成された第1の電極層と、前記第1の電極層の表面の一部を露出した開口部を有する第2の絶縁膜と、前記第2の絶縁膜上及び前記開口部内に形成された第2の電極層とを具備し、前記開口部を介して前記第1の電極層と前記第2の電極層とが接続されている。

【0016】

本発明の第2の半導体装置は、半導体基板と、前記半導体基板の素子領域を分離する素子分離領域と、前記素子分離領域の表面と同一平面の表面を有し、前記素子領域に第1の絶縁膜を介して形成された第1の電極層と、前記第1の電極層及び前記素子分離領域上に第2の絶縁膜を介して形成された第2の電極層と、前記素子領域上の前記第2の電極層及び前記第2の絶縁膜の一部が除去され、前記第1の電極層の表面の一部を露出した開口部と、前記開口部内及び前記第2の電極層上に形成された第3の電極層とを具備し、前記開口部を介して前記第1の電極層と前記第3の電極層とが接続されている。

【0017】

本発明の第3の半導体装置は、半導体基板と、前記半導体基板の素子領域を分離する素子分離領域と、前記素子分離領域の表面と同一平面の表面を有し、前記素子領域に第1の絶縁膜を介して形成された第1の電極層と、前記第1の電極層の表面及び前記第1の電極層に隣接して形成されている前記素子分離領域の表面の一部を露出した開口部を有する第2の絶縁膜と、前記第2の絶縁膜上及び前記開口部内に形成された第2の電極層とを具備し、前記開口部を介して前記第1の電極層と前記第2の電極層とが接続されている。

【0018】

前記第3の半導体装置はNAND型フラッシュメモリの選択ゲートトランジス

タであり、この選択ゲートトランジスタと同一平面上に前記第2の絶縁膜が全て除去されている周辺回路素子が設けられている。

【0019】

前記第1の半導体装置は、前記第2の絶縁膜の存在する前記素子領域の上方で前記第2の電極層に接続されたコンタクトホールとをさらに具備してもよい。

【0020】

前記第1乃至第3の半導体装置は、前記素子分離領域の上方で前記第2又は第3の電極層に接続されたコンタクトホールとをさらに具備してもよい。

【0021】

前記第1乃至第3の半導体装置は、前記第1の電極層と前記第1の電極層に信号を与える配線との接続は、前記第2又は第3の電極層を前記素子分離領域上まで引き出して前記第2又は第3の電極層を介して行われている。

【0022】

前記第1乃至第3の半導体装置は、メモリセルアレイ領域の周辺に形成されている周辺回路領域における素子である。また、前記第3の半導体装置は、NAND型フラッシュメモリの選択ゲートトランジスタである。

【0023】

前記第2、第3の電極層は、前記第1の電極層よりも低抵抗な層であり、高融点金属層又は高融点金属シリサイド層であることが望ましい。

【0024】

前記第2の絶縁膜は、シリコン窒化膜を含む複合絶縁膜であることが望ましい

【0025】

前記第1又は第3の半導体装置は、前記半導体基板の素子領域を分離する前記素子分離領域と、前記素子領域に前記第1の絶縁膜を介して形成された前記第1の電極層と、前記第1の電極層及び前記素子分離領域上に形成された前記第2の絶縁膜と、前記第2の絶縁膜上に形成された前記第2の電極層とを具備するメモリセル領域における半導体装置を同一平面上に設け、前記メモリセル領域の前記素子分離領域の表面は前記第1の電極層の表面よりも下に位置している。

【0026】

前記第2の半導体装置は、前記半導体基板の素子領域を分離する前記素子分離領域と、前記素子領域に前記第1の絶縁膜を介して形成された前記第1の電極層と、前記第1の電極層及び前記素子分離領域上に形成された前記第2の絶縁膜と、前記第2の絶縁膜上に形成された前記第2の電極層と、前記第2の電極層上に形成された第3の電極層とを具備するメモリセル領域における半導体装置を同一平面上に設け、前記メモリセル領域の前記素子分離領域の表面は前記第1の電極層の表面よりも下に位置している。

【0027】

前記メモリセル領域において、前記第1の電極層は浮遊ゲートとして機能し、前記第2、第3の電極層は制御ゲートとして機能する。

【0028】

なお、上記第1乃至第3の半導体装置の具体的な構造は、以下に示す構造となる。

【0029】

上記第1の半導体装置は、浮遊ゲートとして機能する第1の電極層と、制御ゲートとして機能する第2の電極層とを備え選択ゲートトランジスタを有するNAND型フラッシュメモリと、このNAND型フラッシュメモリの周辺に形成されている周辺回路領域とを具備した半導体装置であって、半導体基板と、前記半導体基板の素子領域を分離する素子分離領域と、前記素子分離領域の表面と同一平面の表面を有し、前記素子領域に第1の絶縁膜を介して形成された前記第1の電極層と、前記周辺回路領域の第1の電極層の表面の一部を露出した開口部を有する第2の絶縁膜と、前記第2の絶縁膜上及び前記開口部内に形成された前記第2の電極層とを具備し、前記開口部を介して前記第1の電極層と前記第2の電極層とが接続されている。

【0030】

上記第2の半導体装置は、浮遊ゲートとして機能する第1の電極層と、制御ゲートとして機能する第2の電極層とを備え選択ゲートトランジスタを有するNAND型フラッシュメモリと、このNAND型フラッシュメモリの周辺に形成され

ている周辺回路領域とを具備した半導体装置であって、半導体基板と、前記半導体基板の素子領域を分離する素子分離領域と、前記素子分離領域の表面と同一平面の表面を有し、前記素子領域に第1の絶縁膜を介して形成された前記第1の電極層と、前記第1の電極層及び前記第1の電極層に隣接して形成されている前記素子分離領域上に第2の絶縁膜を介して形成された前記第2の電極層と、前記周辺回路領域の前記素子領域上の前記第2の電極層及び前記第2の絶縁膜の一部が除去され、前記第1の電極層の表面の一部を露出する開口部と、前記開口部内及び前記第2の電極層上に形成された前記第3の電極層とを具備し、前記開口部を介して前記第1の電極層と前記第3の電極層とが接続されている。

【0031】

上記第3の半導体装置は、浮遊ゲートとして機能する第1の電極層と、制御ゲートとして機能する第2の電極層とを備えたメモリセル領域と、選択ゲートトランジスタ領域を有するNAND型フラッシュメモリと、このNAND型フラッシュメモリの周辺に形成されている周辺回路領域とを具備した半導体装置において、半導体基板と、前記半導体基板の素子領域を分離する素子分離領域と、前記素子分離領域の表面と同一平面の表面を有し、前記素子領域に第1の絶縁膜を介して形成された前記第1の電極層と、前記メモリセル領域においては全面に形成され、前記選択ゲートトランジスタ領域においては前記第1の電極層の表面及び前記第1の電極層に隣接して形成されている前記素子分離領域の表面の一部を露出した第1の開口部を有し、前記周辺回路領域においては前記第1の電極層の表面の一部を露出した第2の開口部を有する第2の絶縁膜と、前記第2の絶縁膜、前記素子分離領域及び前記第1の電極層上に形成された前記第2の電極層とを具備し、前記第1、第2の開口部を介して前記第1の電極層と前記第2の電極層とが接続されていることを特徴とする半導体装置。

【0032】

本発明の第1の半導体装置の製造方法は、メモリセル領域の周辺の周辺回路領域における半導体装置の製造方法であって、半導体基板上に第1の絶縁膜が形成される工程と、前記第1の絶縁膜上に第1の電極層が形成される工程と、前記第1の電極層、前記第1の絶縁膜及び前記半導体基板が選択的に除去され、素子領

域を分離する素子分離領域が形成される工程と、全面に第2の絶縁膜が形成される工程と、リソグラフィ及びエッチングにより、前記素子領域上の前記第2の絶縁膜の一部が除去されて前記第1の電極層の表面の一部が露出されることにより、開口部が形成される工程と、全面に第2の電極層が形成される工程とを含んでいる。

【0033】

本発明の第2の半導体装置の製造方法は、メモリセル領域の周辺の周辺回路領域における半導体装置の製造方法であって、半導体基板上に第1の絶縁膜が形成される工程と、前記第1の絶縁膜上に第1の電極層が形成される工程と、前記第1の電極層、前記第1の絶縁膜及び前記半導体基板が選択的に除去され、素子領域を分離する素子分離領域が形成される工程と、全面に第2の絶縁膜が形成される工程と、前記第2の絶縁膜上に第2の電極層が形成される工程と、前記第2の電極層上に第1のマスク膜が形成されてパターニングされ、前記素子領域上に前記第2の電極層の表面の一部を露出する溝が形成される工程と、前記溝の側面に第2のマスク膜からなる側壁が形成される工程と、前記第1、第2のマスク膜を用いて、前記第2の電極層及び前記第2の絶縁膜が除去され、前記素子領域上に開口部が形成される工程と、前記第1、第2のマスク膜が除去される工程と、全面に第3の電極層が形成される工程とを含んでいる。

【0034】

上記第1、第2の半導体装置の製造方法であって、メモリセル領域における半導体装置の製造方法であって、前記メモリセル領域は前記周辺回路領域における素子と同時に形成されており、前記素子分離領域が形成された後、前記メモリセル領域における前記素子分離領域の上部が除去され、前記メモリセル領域における前記素子分離領域の表面が前記第1の電極層の表面よりも下に位置される工程とをさらに含んでいる。

【0035】

前記第2の絶縁膜の存在する前記素子領域の上方に前記第2の電極層に接続するコンタクトホールが形成される工程とをさらに含んでもよい。

【0036】

前記素子分離領域の上方に前記第2又は第3の電極層に接続するコンタクトホールが形成される工程とをさらに含んでもよい。

【0037】

上記本発明の半導体装置及びその製造方法によれば、第1の電極層は、素子分離領域の形成と自己整合的に行われるため、第1の従来技術よりも容易に第1の電極層の微細加工が可能である。従って、メモリセル領域の微細化を図ることが可能である。

【0038】

また、周辺回路領域において、第1の電極層に信号を与える配線と第1の電極層との接続は、第2の電極層を素子分離領域上まで引き出して第2の電極層を介して行われる。つまり、高抵抗の第1の電極層を素子分離領域上まで引き出す必要がないため、第1の電極層の抵抗による遅延の問題を回避することができるとともに、基板と第1の電極層との容量結合によるRC遅延の問題も回避できる。

【0039】

また、周辺回路領域のゲートにおいて、第2の電極層の中央は開口部が設けてあるため第1の電極層と第2の電極層との2層構造となっているが、ゲート加工が行われる第2の電極層の端部では、第1の電極層と第2の電極層との間に第2の絶縁膜が介在した3層構造となっている。従って、ゲート加工が行われる領域に関しては、メモリセル領域と周辺回路領域におけるゲートの積層構造が同じになっている。このため、メモリセル領域と周辺回路領域とのゲート加工を同時にを行うことが可能となる。

【0040】

【発明の実施の形態】

本発明の実施の形態を以下に図面を参照して説明する。

【0041】

[第1の実施形態]

図1は、第1の実施形態における半導体装置の周辺回路領域の平面図を示す。

図2は、図1の2-2線に沿った半導体装置の断面図を示す。

【0042】

図1、図2に示すように、メモリセルアレイ領域周辺の周辺回路領域における半導体装置は、半導体基板11と、この半導体基板11の素子領域10を分離する素子分離領域15と、この素子分離領域15の表面と同一平面の表面を有し、素子領域10に第1の絶縁膜12を介して形成された第1の電極層13と、この第1の電極層13の表面の一部を露出した開口部17を有する第2の絶縁膜16と、この第2の絶縁膜16上及び開口部17内に形成された第2の電極層18とを具備し、開口部17を介して第1の電極層13と第2の電極層18とが接続されている。なお、第2の電極層18は、第1の電極層13よりも低抵抗な層であり、例えば高融点金属層又は高融点金属シリサイド層であることが望ましい。また、第2の絶縁膜16は、シリコン窒化膜を含む複合絶縁膜（例えばONO膜）であることが望ましい。

【0043】

図3は、第1の実施形態における半導体装置のメモリセル領域と周辺回路領域の断面図を示す。

【0044】

図3に示すように、第1の実施形態におけるコンタクトホール20は、素子分離領域15の上方で第2の電極層18に接続されている。また、第1の電極層13とこの第1の電極層13に信号を与える配線21との接続は、第2の電極層18を素子分離領域15上まで引き出して第2の電極層18を介して行われている。

【0045】

また、メモリセル領域の半導体装置は、半導体基板11と、この半導体基板11の素子領域10を分離する素子分離領域15と、素子領域10に第1の絶縁膜12を介して形成された第1の電極層13と、この第1の電極層13及び素子分離領域15上に形成された第2の絶縁膜16と、この第2の絶縁膜16上に形成された第2の電極層18とを具備し、素子分離領域15の表面は第1の電極層13の表面よりも下に位置している。なお、メモリセル領域において、第1の電極層13は浮遊ゲートとして機能し、第2の電極層18は制御ゲートとして機能する。

【0046】

次に、第1の実施形態における半導体装置の製造方法について説明する。図3に示すように、半導体基板11上に第1の絶縁膜12が形成され、この第1の絶縁膜12上に第1の電極層13が形成される。次に、素子分離溝が形成され、この素子分離溝が絶縁膜により埋め込まれる。この絶縁膜を第1の電極層13の表面が露出するまで平坦化することにより、素子分離領域15が形成される。次に、メモリセル領域における素子分離領域15の上部が除去され、メモリセル領域における素子分離領域15の表面が第1の電極層13の表面よりも下に位置される。その後、全面に第2の絶縁膜（例えばONO膜）16が形成され、周辺回路領域における素子領域上の第2の絶縁膜16の一部がリソグラフィ及びエッティングにより除去される。その結果、第1の電極層13の表面の一部が露出され、開口部17が形成される。次に、全面に第2の電極層18が形成され、この第2の電極層18及び第2の絶縁膜16がパターニングされる。次に、全面に第3の絶縁膜19が形成され、この第3の絶縁膜19内の素子分離領域15の上方にコンタクトホール20が形成される。次に、コンタクトホール20に接続する配線21が形成される。その結果、メモリセル領域においては配線21と第2の電極層18とが接続され、周辺回路領域においては配線21と第1の電極層13とが第2の電極層18を介して接続される。

【0047】

上記第1の実施形態によれば、第1の電極層13は、素子分離領域15の形成と自己整合的に行われるため、第1の従来技術よりも容易に第1の電極層13の微細加工が可能である。従って、メモリセル領域の微細化を図ることが可能である。

【0048】

また、周辺回路領域において、第1の電極層13に信号を与える配線21と第1の電極層13との接続は、第2の電極層18を素子分離領域15上まで引き出して第2の電極層18を介して行われる。つまり、高抵抗の第1の電極層13を素子分離領域15上まで引き出す必要がないため、第1の電極層13の抵抗による遅延の問題を回避することができるとともに、基板11と第1の電極層13と

の容量結合によるRC遅延の問題も回避できる。加えて、第2の電極層18が高融点金属層又は高融点金属シリサイド層であるため、抵抗遅延の問題をさらに回避でき、低抵抗の一層構造のゲート電極層で構成された回路とほぼ同等の動作速度を得ることができる。

【0049】

また、周辺回路領域のゲートにおいて、第2の電極層18の中央は開口部18が設けてあるため第1の電極層13と第2の電極層18との2層構造となっているが、ゲート加工が行われる第2の電極層18の端部では、第1の電極層13と第2の電極層18との間に第2の絶縁膜16が介在した3層構造となっている。従って、ゲート加工が行われる領域に関しては、メモリセル領域と周辺回路領域におけるゲートの積層構造が同じになっている。このため、メモリセル領域と周辺回路領域とのゲート加工を同時に行うことが可能となる。

【0050】

以上のように、本発明の第1の実施形態によれば、メモリセル領域の微細化を図りつつ周辺回路領域における抵抗遅延を回避し、かつメモリセル領域と周辺回路領域とのゲート加工を同時に行うことが可能である。

【0051】

【第2の実施形態】

第2の実施形態は、第1の実施形態よりも開口部が小さな半導体装置の形成に有効な形成方法であり、メモリセル領域における制御ゲート電極層が2層構造となっていることを特徴とする。

【0052】

図4は、第2の実施形態における半導体装置の周辺回路領域の平面図を示す。

図5は、図4の5-5線に沿った半導体装置の断面図を示す。

【0053】

図4、図5に示すように、メモリセルアレイ領域周辺の周辺回路領域における半導体装置は、半導体基板11と、この半導体基板11の素子領域10を分離する素子分離領域15と、この素子分離領域15の表面と同一平面の表面を有し、素子領域10に第1の絶縁膜12を介して形成された第1の電極層13と、この

第1の電極層13及び素子分離領域15上に第2の絶縁膜16を介して形成された第2の電極層18aと、素子領域10上の第2の電極層18a及び第2の絶縁膜16を除去して第1の電極層13の表面の一部を露出することにより形成された開口部17と、この開口部17内及び第2の電極層18a上に形成された第3の電極層18bとを具備し、開口部17を介して第1の電極層13と第3の電極層18bとが接続されている。なお、第2、第3の電極層18a、18bは、第1の電極層13よりも低抵抗な層であり、例えば高融点金属層又は高融点金属シリサイド層であることが望ましい。また、第2の絶縁膜16は、シリコン窒化膜を含む複合絶縁膜（例えばONON膜）であることが望ましい。

【0054】

図6乃至図10は、第2の実施形態における半導体装置の周辺回路領域の製造工程の断面図を示す。以下、第2の実施形態における半導体装置の周辺回路領域の製造方法について説明する。

【0055】

まず、図6に示すように、半導体基板11上に第1の絶縁膜12が形成され、この第1の絶縁膜12上に第1の電極層13が形成される。次に、素子分離溝14が形成され、この素子分離溝14が絶縁膜により埋め込まれる。この絶縁膜を第1の電極層13の表面が露出するまで平坦化することにより、素子分離領域15が形成される。次に、全面に第2の絶縁膜16が形成され、この第2の絶縁膜16上に第2の電極層18aが形成される。

【0056】

次に、図7に示すように、CVD (Chemical Vapor Deposition) 法により、全面に第1のマスク膜（酸化膜）22が堆積される。次に、リソグラフィにより、第1のマスク膜22がパターニングされ、素子領域10上に第2の電極層18aの表面の一部を露出する溝が形成される。

【0057】

次に、図8に示すように、全面に第2のマスク膜23（酸化膜）が堆積される。その後、エッチバックを行うことにより、第1のマスク膜22上及び第2の電極層膜18a上の第2のマスク膜23が除去される。その結果、溝の側面に第2

のマスク膜23からなる側壁が形成される。

【0058】

次に、図9に示すように、第1、第2のマスク膜22、23をマスクとして、第2の電極層18a及び第2の絶縁膜16が除去される。その結果、素子領域10上に開口部17が形成される。その後、第1、第2のマスク膜22、23が除去される。

【0059】

次に、図10に示すように、全面に第3の電極層18bが形成される。これにより、第1の電極層13と第3の電極層18bとが接続される。

【0060】

図11は、第2の実施形態における半導体装置のメモリセル領域と周辺回路領域の断面図を示す。

【0061】

図11に示すように、第2の実施形態におけるコンタクトホール20は、素子分離領域15の上方で第3の電極層18bに接続されている。また、第1の電極層13とこの第1の電極層13に信号を与える配線21との接続は、第3の電極層18bを素子分離領域15上まで引き出して第3の電極層18bを介して行われている。

【0062】

また、メモリセル領域の半導体装置は、半導体基板11と、この半導体基板11の素子領域10を分離する素子分離領域15と、素子領域10に第1の絶縁膜12を介して形成された第1の電極層13と、この第1の電極層13及び素子分離領域15上に形成された第2の絶縁膜16と、この第2の絶縁膜16上に形成された第2の電極層18aと、この第2の電極層18a上に形成された第3の電極層18bとを具備し、素子分離領域15の表面は第1の電極層13の表面よりも下に位置している。このようなメモリセル領域において、第1の電極層13は浮遊ゲートとして機能し、第2、第3の電極層18a、18bは制御ゲートとして機能する。なお、メモリセル領域は、周辺回路領域と同時に形成することが可能であり、メモリセル領域と周辺回路領域とが異なるプロセスは、第1の実施形

態と同様である。

【0063】

上記第2の実施形態によれば、第1の実施形態と同様の効果を得ることができ。さらに、制御ゲートの一部である第2の電極層18a及び第2の絶縁膜16は、開口部17と自己整合的に形成される。このため、リソグラフィの可能寸法より狭い開口部17を形成でき、第1の実施形態よりも第1の電極層13と第3の電極層18bとを狭いスペースで接続することができる。従って、第1の実施形態よりも周辺回路領域の微細化を図ることが可能となる。

【0064】

従って、第2の実施形態は、周辺回路領域におけるトランジスタのゲート長が短く、リソグラフィの可能寸法ではゲートの中央が開口できない場合や、第2の絶縁膜16を形成後に第2の絶縁膜16上でリソグラフィ工程を行うことにより、メモリセル部の第2の絶縁膜16の膜質に劣化が起きる場合等に非常に有効である。

【0065】

なお、リソグラフィの場合よりも狭い開口部17を形成する方法は、上記のように側壁を形成する方法の他にも、例えば、リソグラフィ工程後に、熱処理によりフォトレジストを膨張させて狭いスペースを開口する方法等を用いてもよい。これにより、リソグラフィで形成できる溝の幅より狭い幅の開口を形成することができる。

【0066】

【第3の実施形態】

第3の実施形態は、本発明をNAND型フラッシュメモリの選択ゲートトランジスタに適用したものであり、選択ゲートトランジスタの開口部を素子分離領域上まで広げていることを特徴とする。

【0067】

図12は、第3の実施形態における半導体装置のメモリセル領域及び選択ゲートトランジスタの平面図を示す。図13は、図12の13-13線に沿った半導体装置の断面図を示す。図14は、第3の実施形態における半導体装置のメモリ

セル領域、選択ゲートトランジスタ及び周辺回路領域の断面図を示す。なお、図14は図12に示す13-13線方向と垂直な方向の断面図であるため、図13と図14の選択ゲートトランジスタは異なる構造となっている。

【0068】

通常、NAND型フラッシュメモリの選択ゲートトランジスタはメモリセルアレイ内にあるため、素子領域と素子分離領域とが繰り返し配置されている上に形成されている。このため、選択ゲートトランジスタの第1の電極層（浮遊ゲート）と第2の電極層（制御ゲート）とを接続する場合、素子領域上のみに開口部を設けることは、小さな穴を開けることになり困難な場合が多い。一方、ゲート加工時に、第1の電極層（浮遊ゲート）と第2の電極層（制御ゲート）との間に第2の絶縁膜を設けて3層構造とする必要があるのは、第2の電極層の端部のみである。

【0069】

そこで、第3の実施形態は、図12乃至図14に示すように、選択ゲートトランジスタにおいては、半導体基板11と、この半導体基板11の素子領域10を分離する素子分離領域15と、この素子分離領域15の表面と同一平面の表面を有し、素子領域10に第1の絶縁膜12を介して形成された第1の電極層13と、この第1の電極層13の表面及びこの第1の電極層13に隣接して形成されている素子分離領域15の表面の一部を露出した開口部17を有する第2の絶縁膜16と、この第2の絶縁膜16上及び開口部17内に形成された第2の電極層18とを具備し、開口部17を介して第1の電極層13と第2の電極層18とが接続されている。また、開口部17の形状はストライプ状になっている。また、第2の電極層18は、第1の電極層13よりも低抵抗な層であり、例えば高融点金属層又は高融点金属シリサイド層であることが望ましい。また、第2の絶縁膜16は、シリコン窒化膜を含む複合絶縁膜（例えばONO膜）であることが望ましい。

【0070】

また、図14に示すように、メモリセル領域及び周辺回路領域は第1の実施形態と同様の構造となっている。そして、コンタクトホール20は、第1の実施形

態と同様に、素子分離領域15の上方で第2の電極層18に接続されている。

【0071】

なお、素子分離領域15上にまで開口部17を広げることは、開口部17の形成の際、第2の絶縁膜16のエッチングを過度に行わなければ何ら問題はない。

【0072】

上記第3の実施形態によれば、第1の実施形態と同様の効果を得ることができる。

【0073】

さらに、周辺回路領域におけるゲートの端部は第1の電極層13、第2の絶縁膜16、第2の電極層18の3層構造であるため、通常のメモリセル領域と同一の構造である。このため、メモリセル領域と周辺回路領域は、同時にゲートの加工を行うことができる。従って、メモリセル領域と周辺回路領域の境界部に余分な余裕をとる必要がなくなる。そこで、NAND型フラッシュメモリのようにメモリセルと選択ゲートトランジスタが接近している構造に本発明の構造を適用すれば、メモリセル領域と周辺回路領域との境界部における余裕量を小さくでき、素子の微細化を図ることができる。

【0074】

また、第2の電極層18は、高融点金属あるいはそのシリサイド層から形成されているため、抵抗が低くRC遅延が小さい。従って、各選択トランジスタが直接第2の電極層18に接続される構造、つまり第3の実施形態のようなNAND型フラッシュメモリの選択トランジスタでのRC遅延の削減に非常に有効である。

【0075】

【第4の実施形態】

第4の実施形態は、第3の実施形態の変形例であり、周辺回路領域における第2の絶縁膜を全て除去していることを特徴とし、これ以外は第3の実施形態と同様の構造である。

【0076】

図15は、第4の実施形態における半導体装置のメモリセル領域、選択ゲート

トランジスタ及び周辺回路領域の断面図を示す。なお、第3の実施形態と異なる構造についてのみ説明する。

【0077】

周辺回路に要求される性能や動作電圧によっては、周辺回路を構成するトランジスタのゲート長を非常に短くしなければいけない場合がある。この場合、第1の電極層13（浮遊ゲート）と第2の電極層18（制御ゲート）との間の第2の絶縁膜16の開口部17を小さくする必要が生じる。しかし、開口寸法が非常に小さくなると、第1乃至第3の実施形態のような方法では、開口部17の形成が非常に難しくなっている。

【0078】

そこで、図15に示すように、NAND型フラッシュメモリのようにメモリセルと近接して比較的規則的に配置されている選択ゲートトランジスタ及びメモリセル領域は、第3の実施形態と同様の構造とし、周辺回路領域のトランジスタにおいては、第2の絶縁膜16が除去されて第1の電極層13と第2の電極層18とが接続されている。

【0079】

つまり、第4の実施形態における半導体装置は、半導体基板11と、この半導体基板11の素子領域10を分離する素子分離領域15と、この素子分離領域15の表面と同一平面の表面を有し、素子領域10に第1の絶縁膜12を介して形成された第1の電極層13と、この第1の電極層13及び素子分離領域15上に形成された第2の電極層18とを具備している。ここで、第2の電極層18は、第1の電極層13よりも低抵抗な層であり、高融点金属層又は高融点金属シリサイド層であることが望ましい。また、コンタクトホール20は、素子分離領域15の上方で第2の電極層18に接続されている。そして、第1の電極層13との第1の電極層13に信号を与える配線21との接続は、第2の電極層18を素子分離領域15上まで引き出して第2の電極層18を介して行われている。

【0080】

上記第4の実施形態によれば、第1、第3の実施形態と同様の効果を得ることができる。さらに、第4の実施形態は、トランジスタのゲート長が非常に短い場

合に有効な構造である。

【0081】

また、選択ゲートトランジスタを除く周辺回路領域におけるトランジスタは、メモリセル領域とゲート構造が異なるため、セル領域と周辺回路領域を別々にゲート加工を行うことになり工程数は増加する。しかし、メモリセルと選択ゲートトランジスタのゲート端部は同じ構造なので同時に加工が行え、加工境界を設ける必要がないため、メモリセルアレイ及びそのメモリセルに近接した駆動回路領域の総面積の縮小には大きな効果がある。

【0082】

なお、選択ゲートは、通常、メモリセルを駆動するための高電圧に耐えるために、リソグラフィの可能寸法より長めに設計されるので、上記第1乃至第3の実施形態で示した各種方法により、接続部の形成は十分に可能である。

【0083】

【第5の実施形態】

第5の実施形態は、第2の絶縁膜の存在する素子領域の上方にコンタクトホールを形成していることを特徴とする。

【0084】

図16は、第5の実施形態における半導体装置の周辺回路領域の平面図を示す。図17は、図16の17-17線に沿った半導体装置の断面図を示す。

【0085】

図16、図17に示すように、メモリセルアレイ領域周辺の周辺回路領域における半導体装置は、半導体基板11と、この半導体基板11の素子領域10を分離する素子分離領域15と、この素子分離領域15の表面と同一平面の表面を有し、素子領域10に第1の絶縁膜12を介して形成された第1の電極層13と、この第1の電極層13及び素子分離領域15上に形成され、第1の電極層13の表面の一部を露出する開口部17を有する第2の絶縁膜16と、この第2の絶縁膜16及び開口部17内に形成された第2の電極層18と、第2の絶縁膜16の存在する素子領域10上方に形成され、第2の電極層18に接続されたコンタクトホール20とを具備し、開口部17を介して第1の電極層13と第2の電極層

18とが接続されている。なお、第2の電極層18は、第1の電極層13よりも低抵抗な層であり、例えば高融点金属層又は高融点金属シリサイド層であることが望ましい。また、第2の絶縁膜16は、シリコン窒化膜を含む複合絶縁膜(ONO膜)であることが望ましい。

【0086】

図18は、第5の実施形態における半導体装置のメモリセル領域及び周辺回路領域の断面図を示す。図18において、メモリセル領域は第1の実施形態と同様の構造であり、周辺回路領域は図13に示す選択ゲートトランジスタと同様の構造となっているため、構造の説明は省略する。

【0087】

図18に示すように、第5の実施形態は、第1の実施形態と同様に、ゲートの端部は第2の電極層18、第2の絶縁膜16、第1の電極層13、第1の絶縁膜12の3層構造となっている。

【0088】

上記第5の実施形態によれば、第1の実施形態と同様の効果が得られるだけでなく、以下に示す効果が得られる。

【0089】

通常、コンタクト部にバリアメタル(Ti/TiN)、Al-Cu等をスパッタリングにより形成し、コンタクト部とゲートとを接続するが、このTiと第2の電極層18の多結晶Siとが反応してTiSi層が形成される。第2の絶縁膜16がない場合には、TiSi層が第1の絶縁膜12まで接近して形成され、第1の絶縁膜12の破壊が生じる可能性がある。従って、ゲートへのコンタクトホール20を素子領域10上に形成することは通常行なわれない。しかし、第5の実施形態のように、第1、第2の電極層13、18の間に第2の絶縁膜16を残存させることにより、この第2の絶縁膜16が保護膜となり、上記問題を回避できる。特に、第2の絶縁膜16として、シリコン窒化膜を含む複合絶縁膜が用いられた場合、この窒化膜は上層の高融点金属やシリサイド層の下地多結晶Si膜への影響を回避するのに非常に有効である。

【0090】

また、図19、図20に示すように、従来、トランジスタが隣接している場合はゲートのコンタクトは素子分離領域15上で行っていた。NAND型フラッシュメモリのように高い電圧を使用するデバイスでは、ゲート下の素子分離領域15の反転電圧を高くする必要がある。その場合、素子分離領域15の膜厚を厚くする、素子分離領域15下の基板11の不純物濃度を高くするなどの対策が必要だったが、これらは、加工の難易度を高めたり接合耐圧の低下を招いたりするため望ましくない。しかし、第5の実施形態のように、第1、第2の電極層13、18を素子分離領域15上で絶縁して上層の配線21に接続することにより、上記の対策を行うことなく素子分離領域15の反転電圧を高めることができる。さらに、素子分離領域15上でゲート電極へのコンタクトホール20を形成する場合に比べ、本発明によれば素子領域10上にコンタクトホール20を形成することができるため、周辺回路領域を縮小できる。

【0091】

その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0092】

【発明の効果】

以上説明したように本発明によれば、メモリセル領域の微細化を図りつつ周辺回路領域における抵抗遅延を回避し、かつメモリセル領域と周辺回路領域とのゲート加工を同時にを行うことが可能な半導体装置及びその製造方法を提供できる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係わる半導体装置の周辺回路領域を示す平面図。

【図2】

図1の2-2線に沿った半導体装置の断面図。

【図3】

本発明の第1の実施形態に係わる半導体装置のメモリセル領域及び周辺回路領域を示す平面図。

【図4】

本発明の第2の実施形態に係わる半導体装置の周辺回路領域を示す平面図。

【図5】

図4の5-5線に沿った半導体装置の断面図。

【図6】

本発明の第2の実施形態に係わる半導体装置の製造工程を示す断面図。

【図7】

図6に続く、本発明の第2の実施形態に係わる半導体装置の製造工程を示す断面図。

【図8】

図7に続く、本発明の第2の実施形態に係わる半導体装置の製造工程を示す断面図。

【図9】

図8に続く、本発明の第2の実施形態に係わる半導体装置の製造工程を示す断面図。

【図10】

図9に続く、本発明の第2の実施形態に係わる半導体装置の製造工程を示す断面図。

【図11】

本発明の第2の実施形態に係わる半導体装置のメモリセル領域及び周辺回路領域を示す平面図。

【図12】

本発明の第3の実施形態に係わる半導体装置のメモリセル領域及び選択ゲートトランジスタを示す平面図。

【図13】

図12の13-13線に沿った半導体装置の断面図。

【図14】

本発明の第3の実施形態に係わる半導体装置のメモリセル領域、選択ゲートトランジスタ及び周辺回路領域を示す平面図。

【図15】

本発明の第4の実施形態に係わる半導体装置のメモリセル領域、選択ゲートトランジスタ及び周辺回路領域を示す平面図。

【図16】

本発明の第5の実施形態に係わる半導体装置の周辺回路領域を示す平面図。

【図17】

図16の17-17線に沿った半導体装置の断面図。

【図18】

本発明の第5の実施形態に係わる半導体装置のメモリセル領域及び周辺回路領域を示す平面図。

【図19】

従来技術による半導体装置のメモリセル領域を示す平面図。

【図20】

図19の20-20線に沿った半導体装置の断面図。

【図21】

第1の従来技術による半導体装置のメモリセル領域及び周辺回路領域を示す平面図。

【図22】

第2の従来技術による半導体装置のメモリセル領域及び周辺回路領域を示す平面図。

【符号の説明】

10…素子領域、

11…半導体基板、

12…第1の絶縁膜、

13…第1の電極層（浮遊ゲート）、

14…素子分離溝、

15…素子分離領域、

16…第2の絶縁膜、

17…開口部、

18、18a…第2の電極層（制御ゲート）、

18b … 第3の電極層（制御ゲート）、

19 … 第3の絶縁膜、

20 … コンタクトホール、

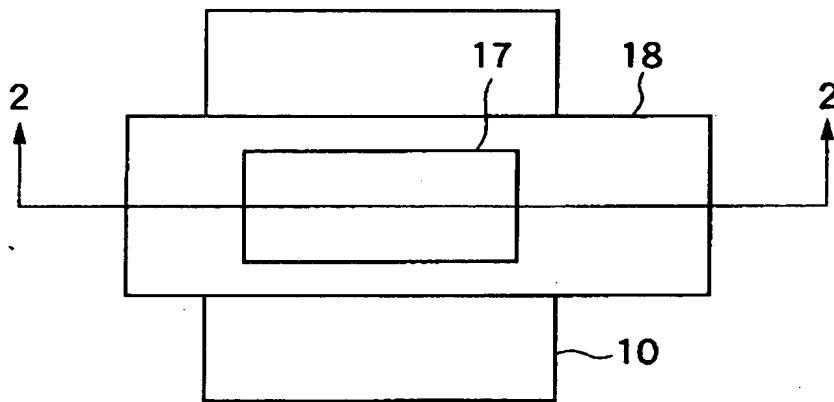
21 … 配線、

22 … 第1のマスク層、

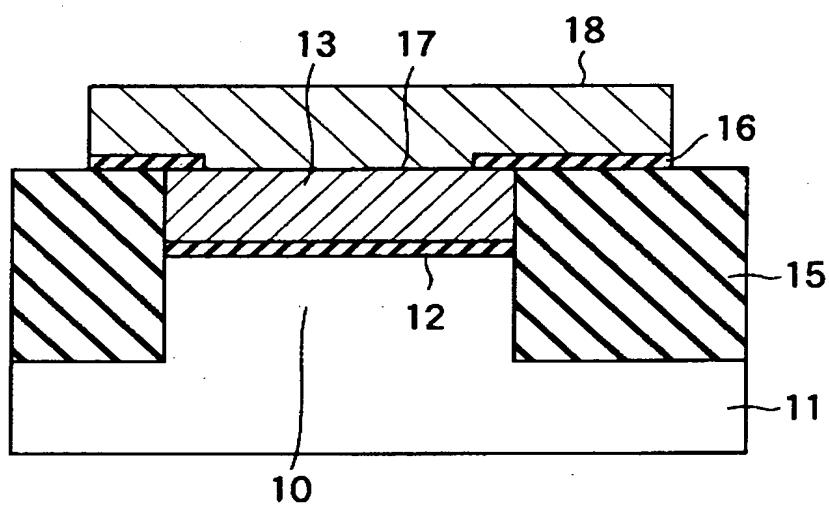
23 … 第2のマスク層。

【書類名】 図面

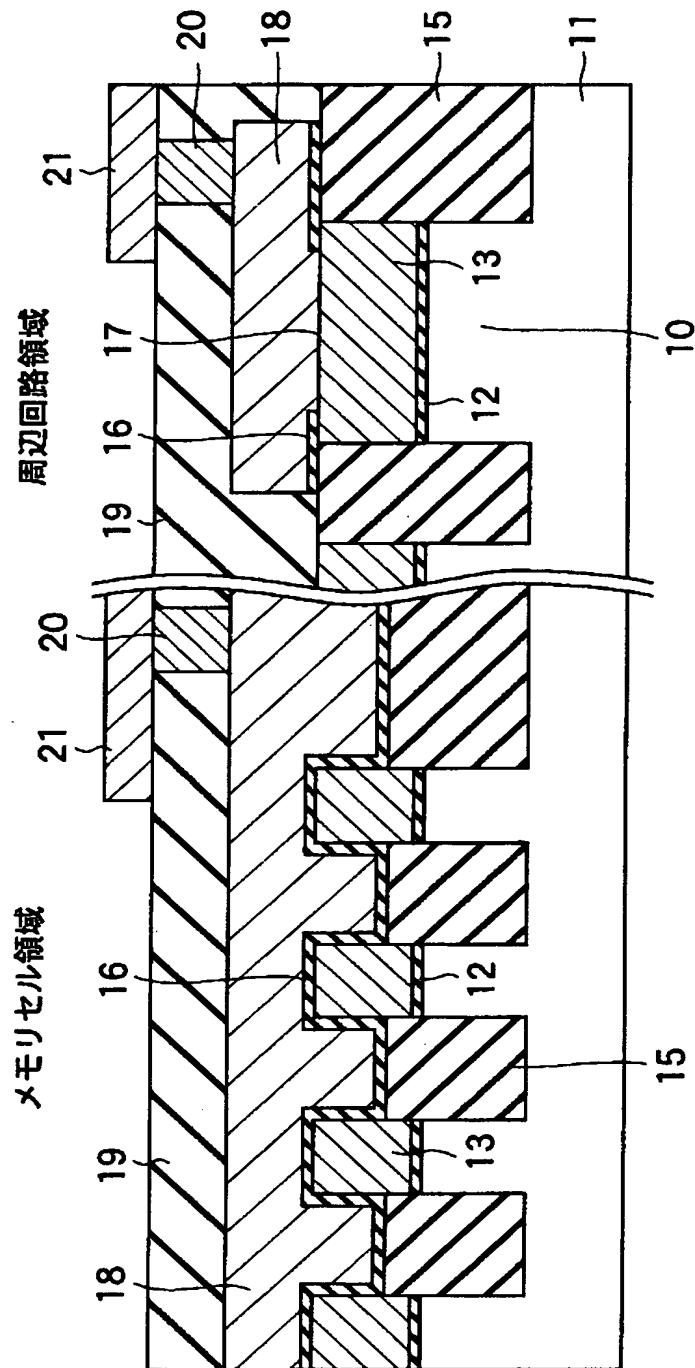
【図1】



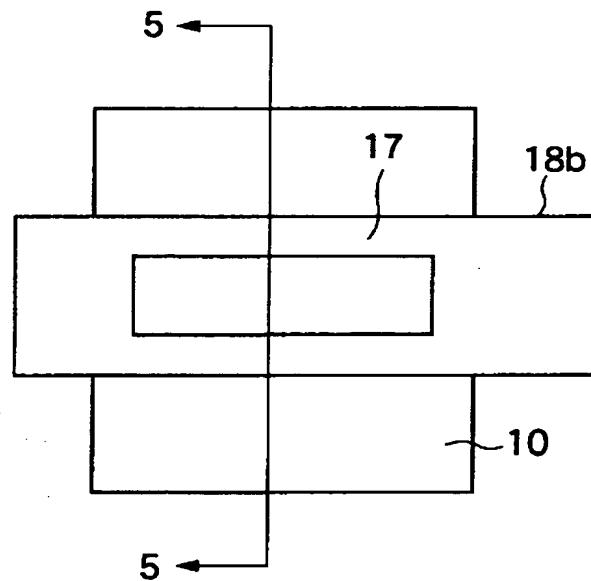
【図2】



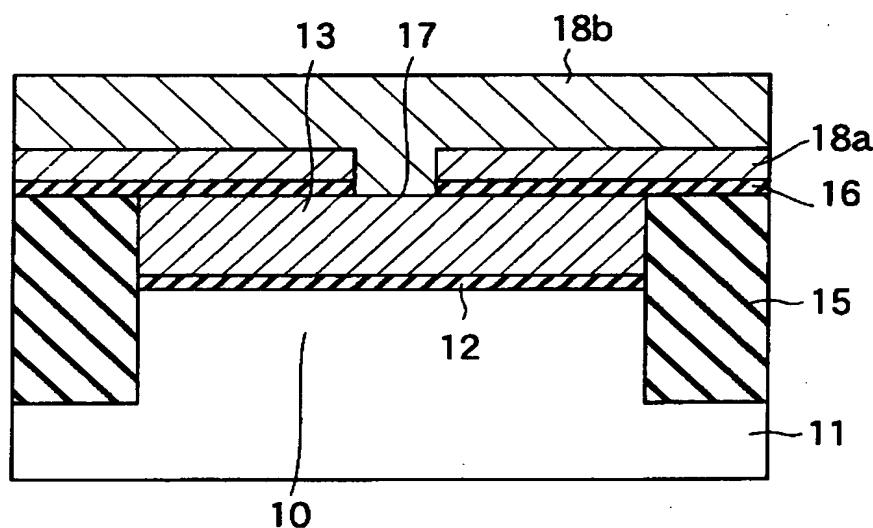
【図3】



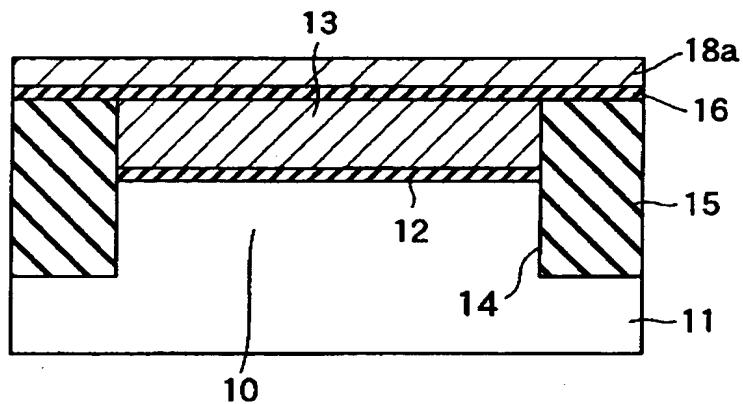
【図4】



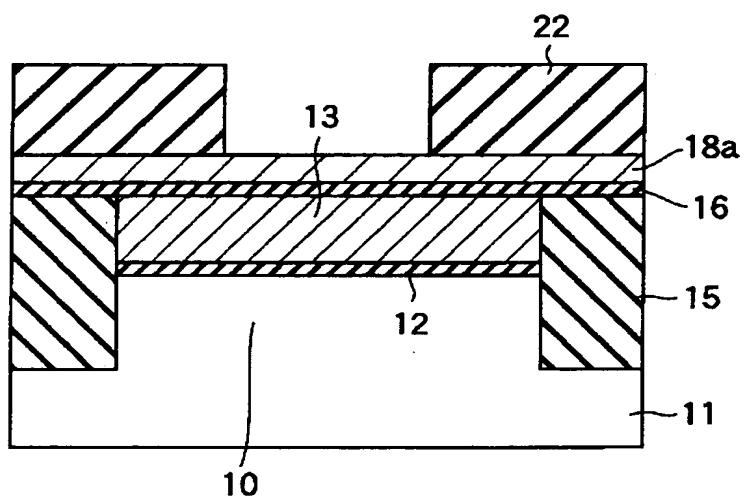
【図5】



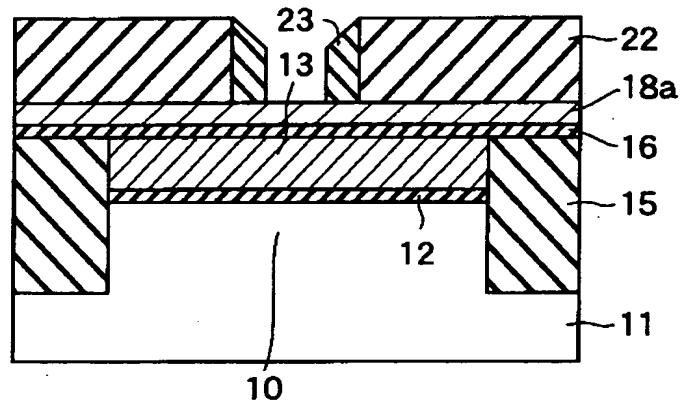
【図6】



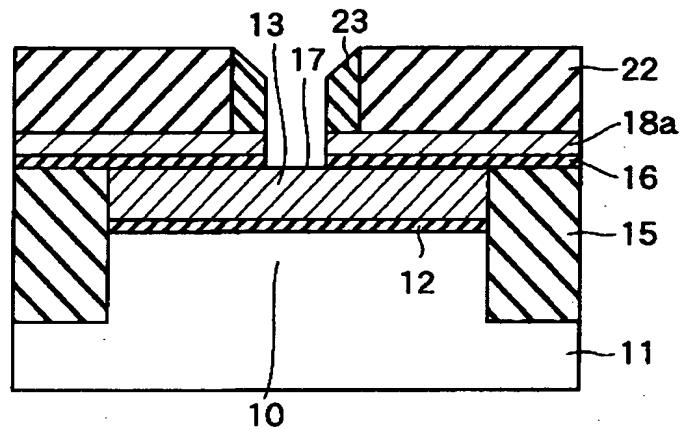
【図7】



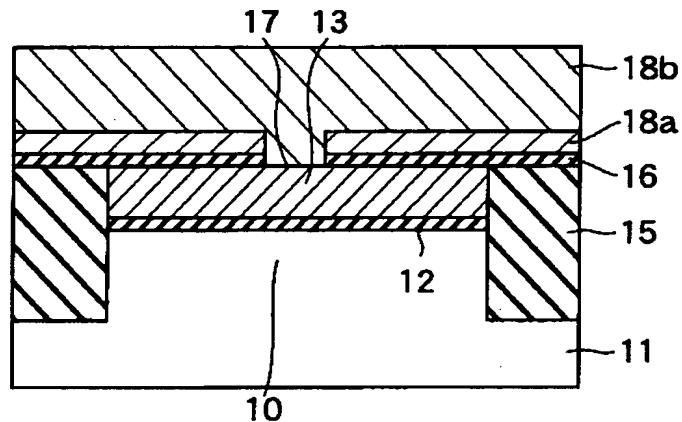
【図8】



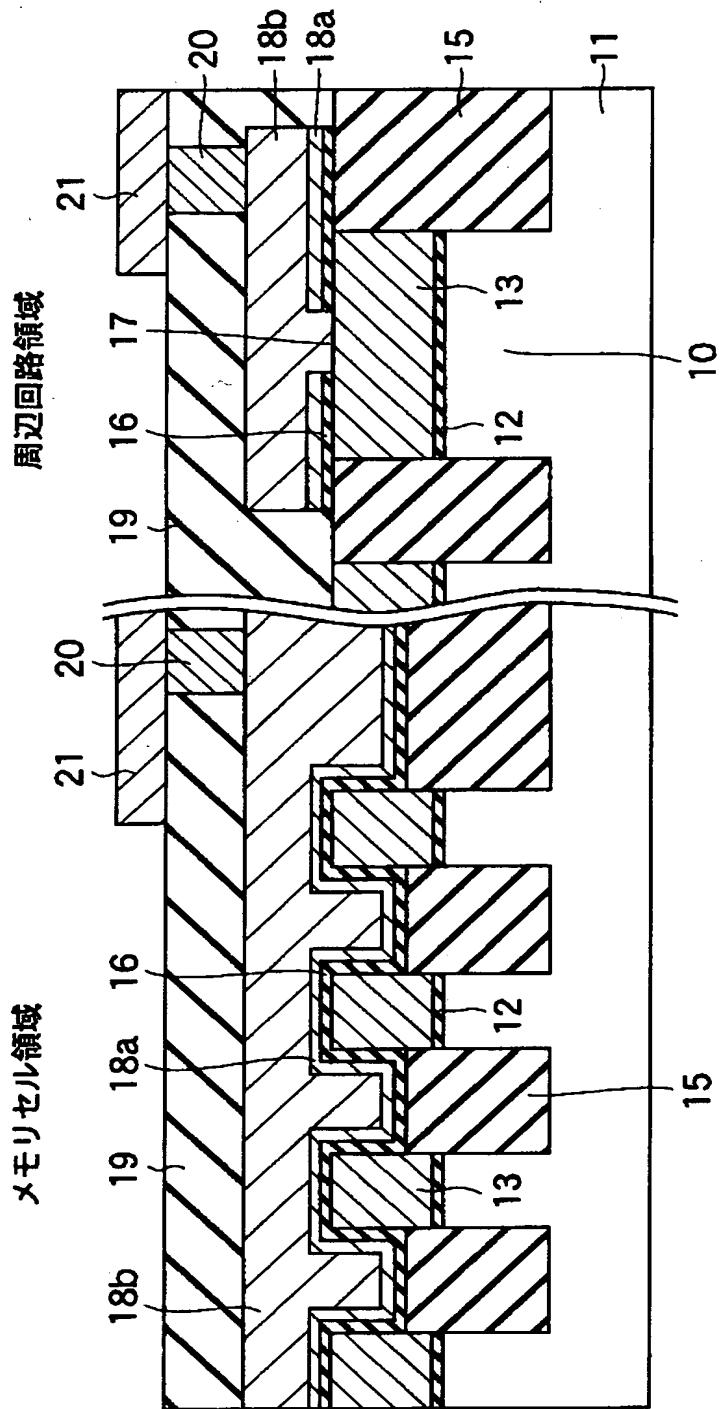
【図9】



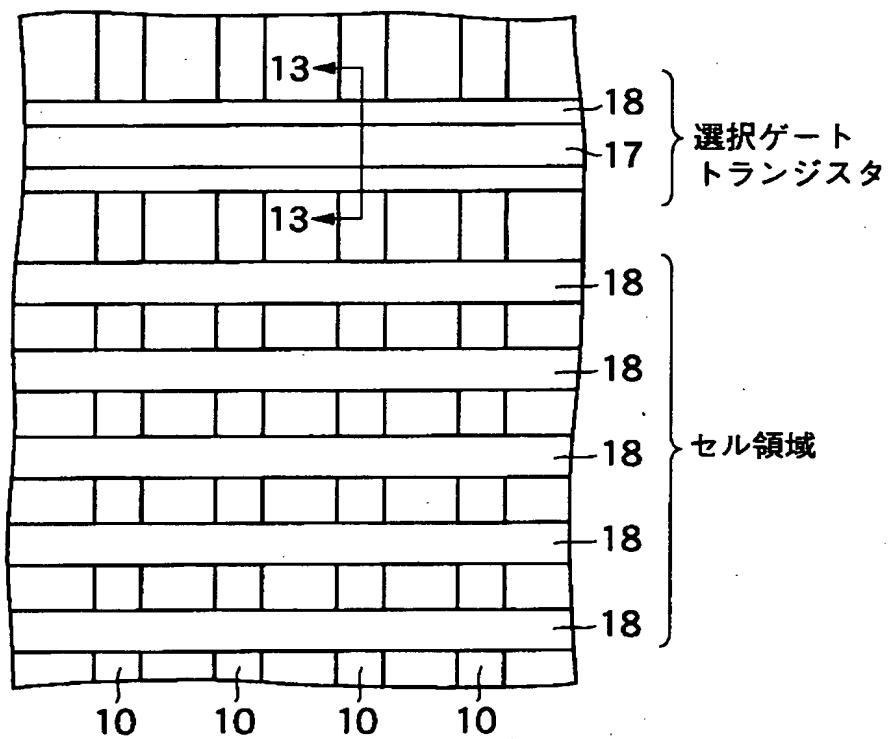
【図10】



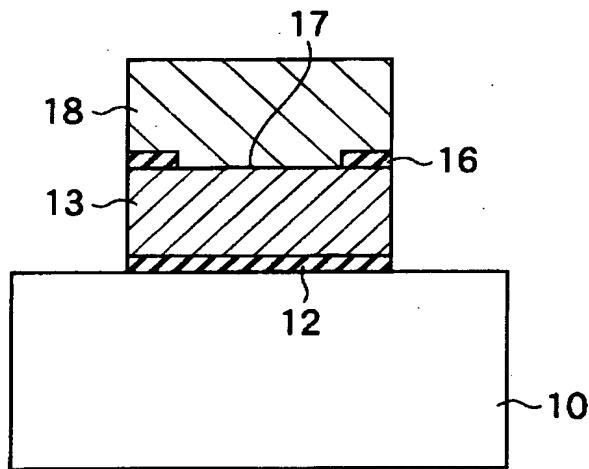
【図11】



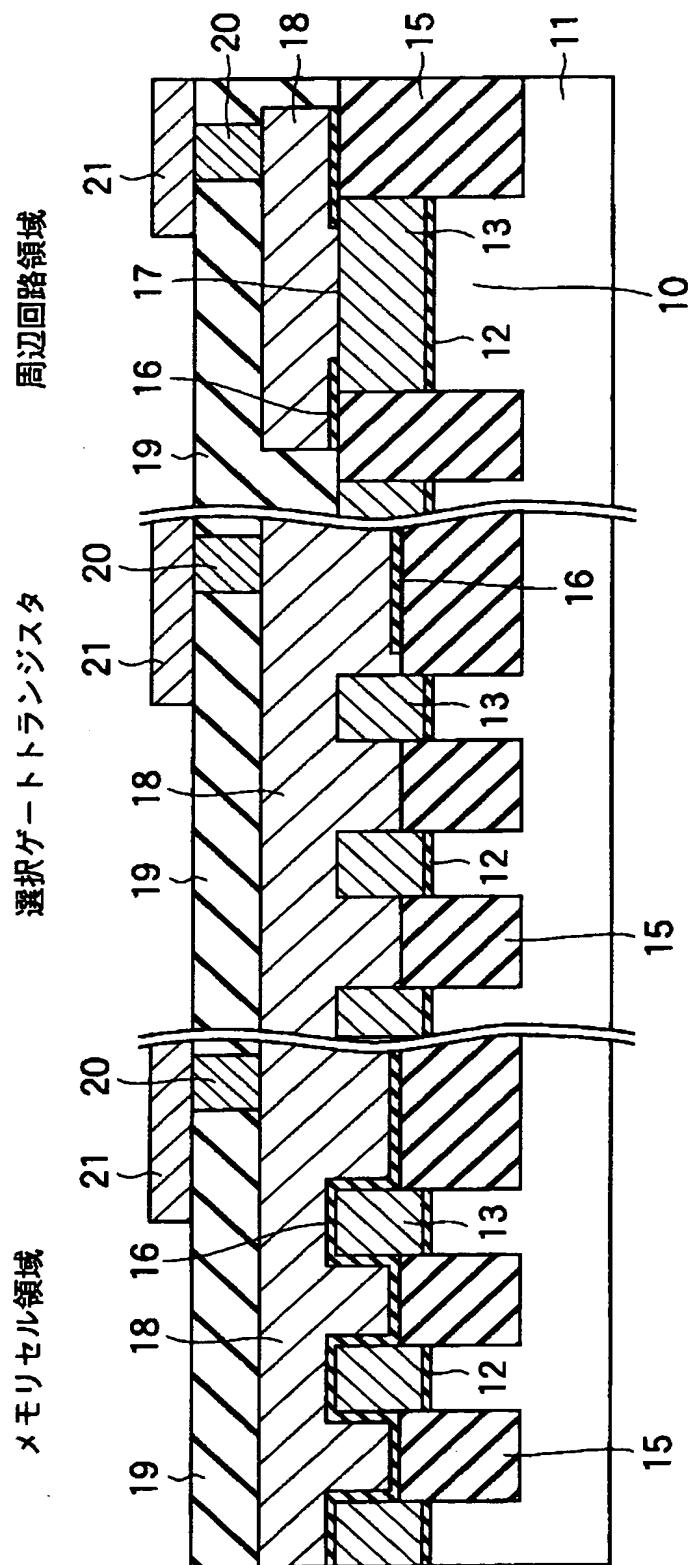
【図12】



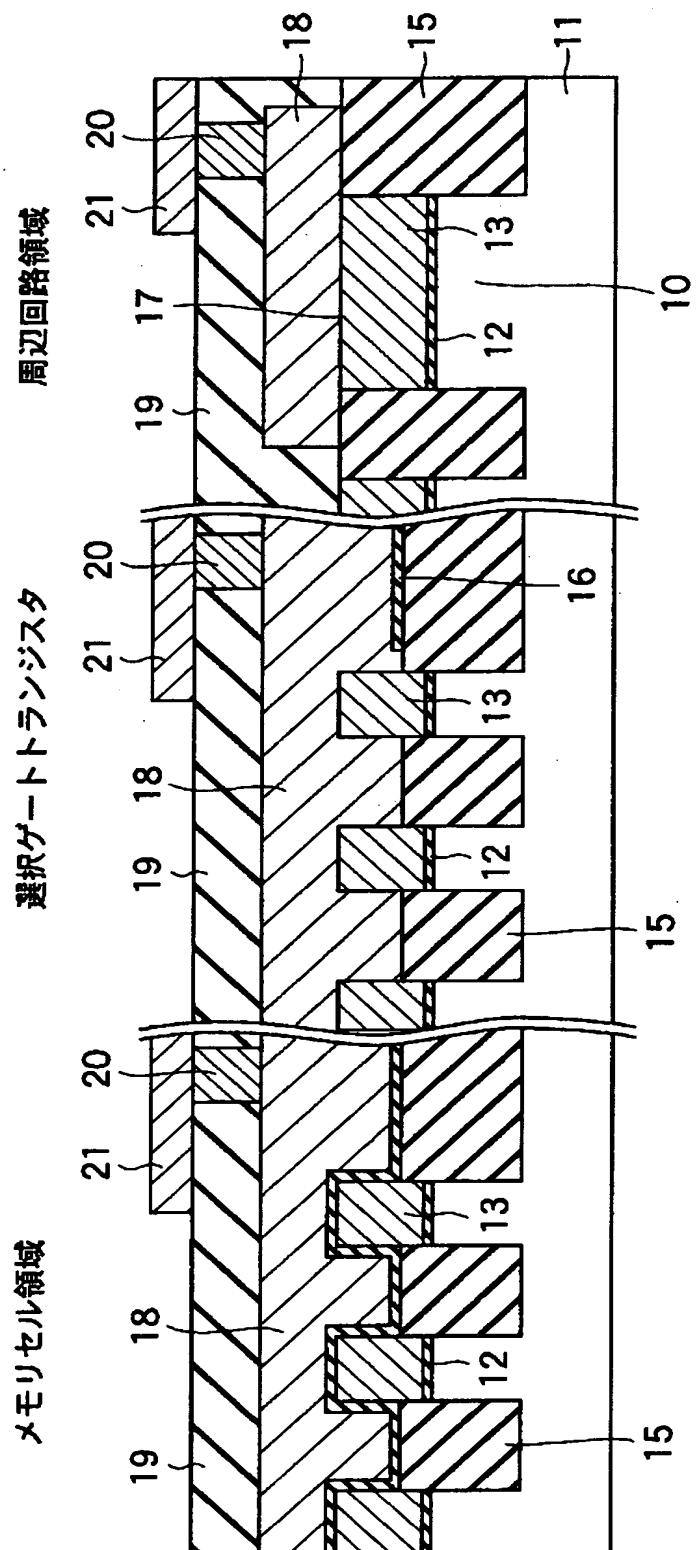
【図13】



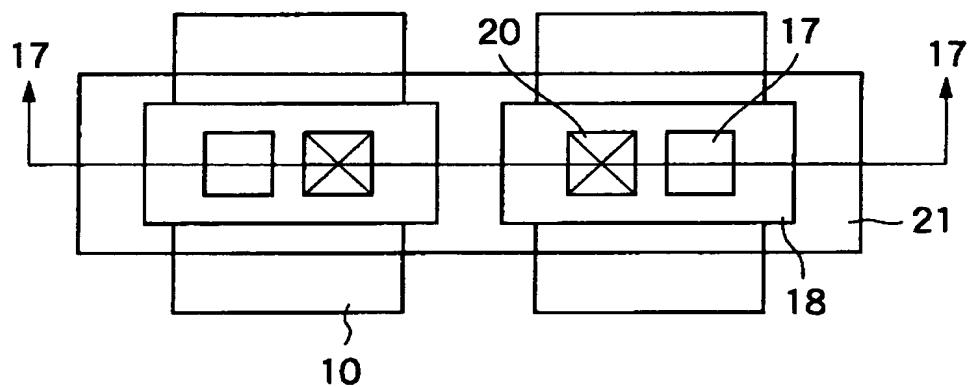
【図14】



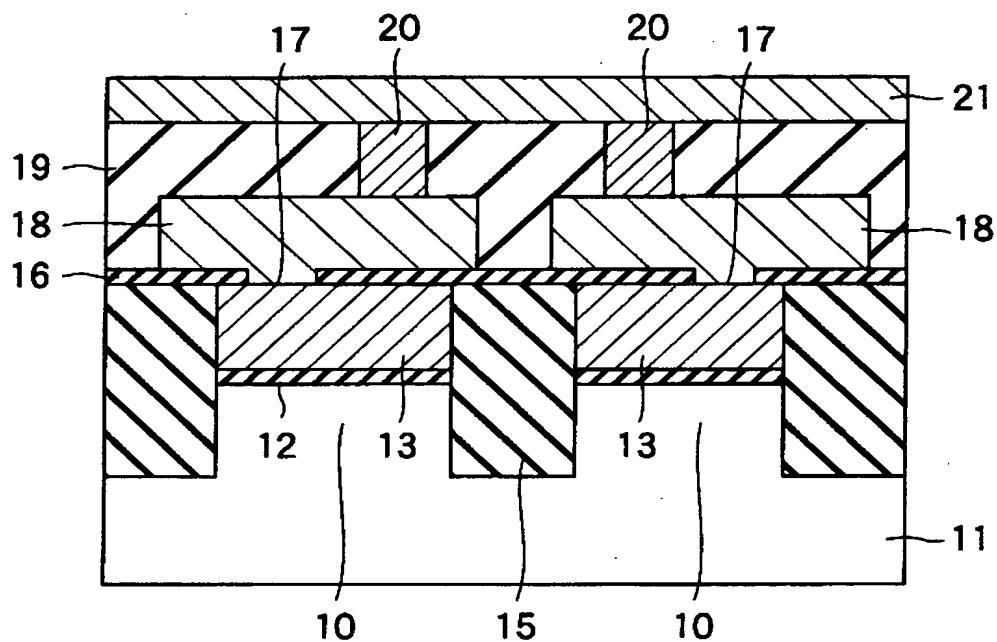
【図15】



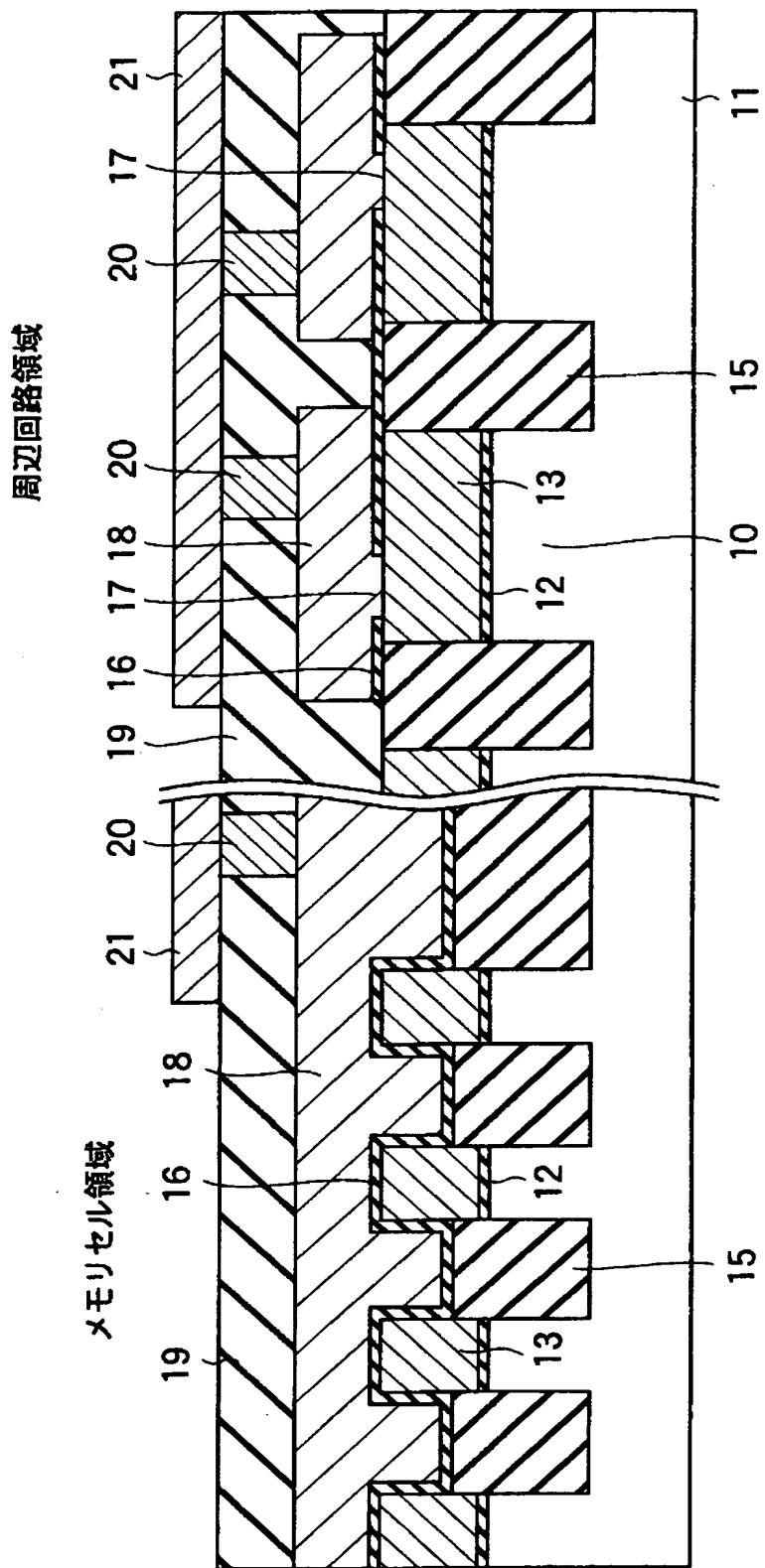
【図16】



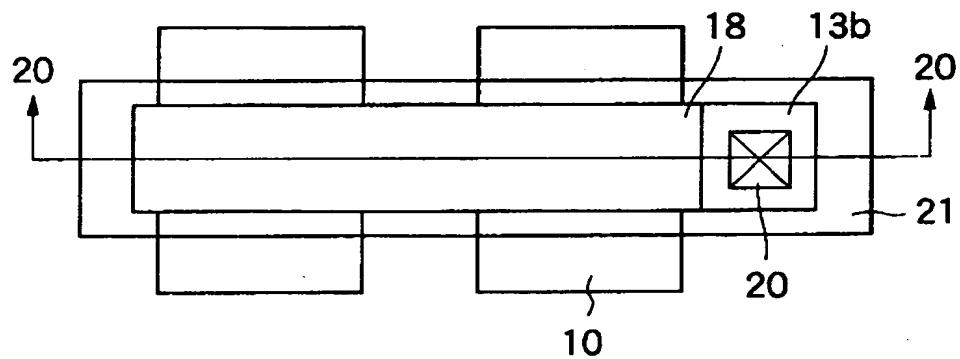
【図17】



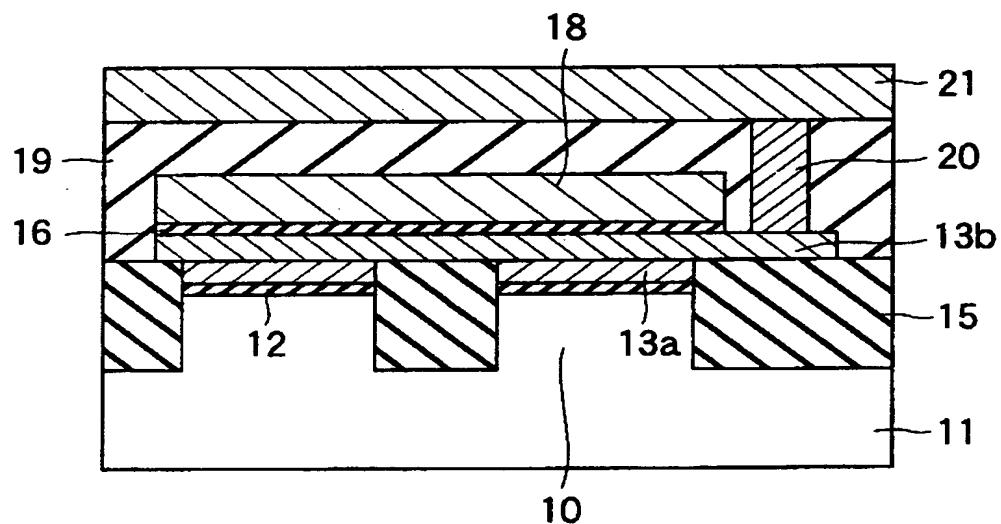
【図18】



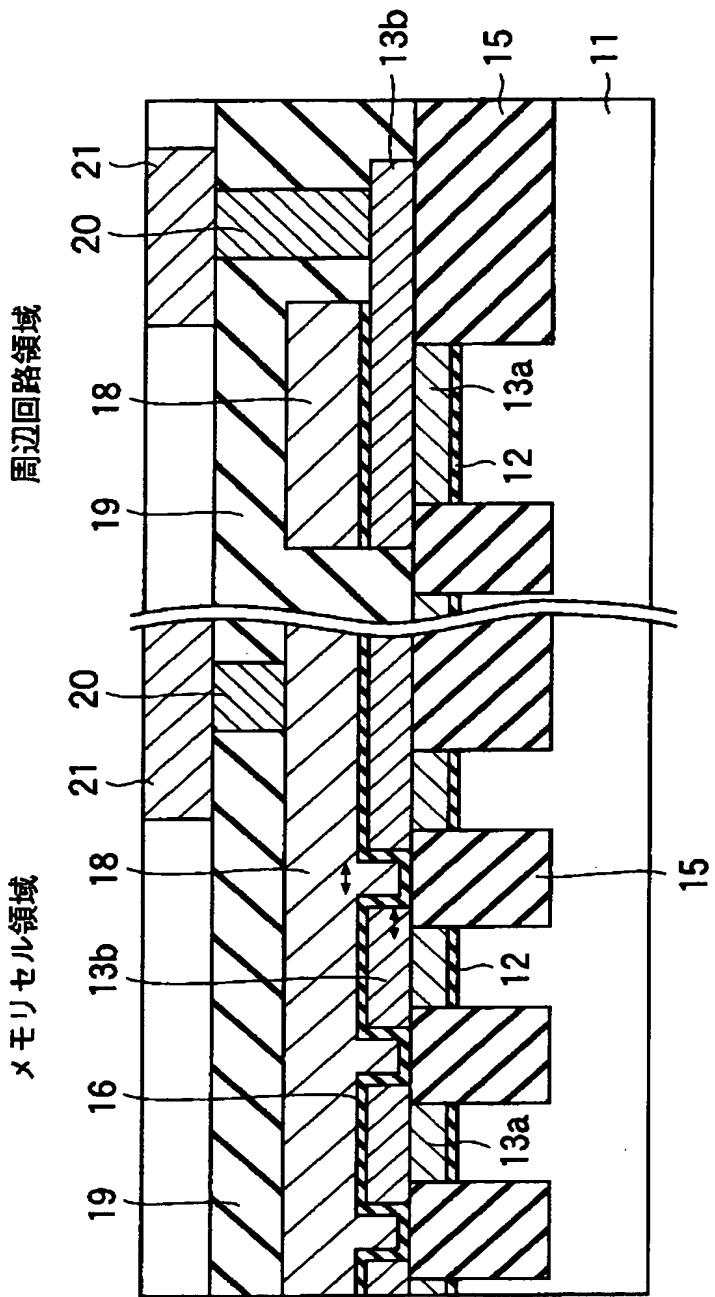
【図19】



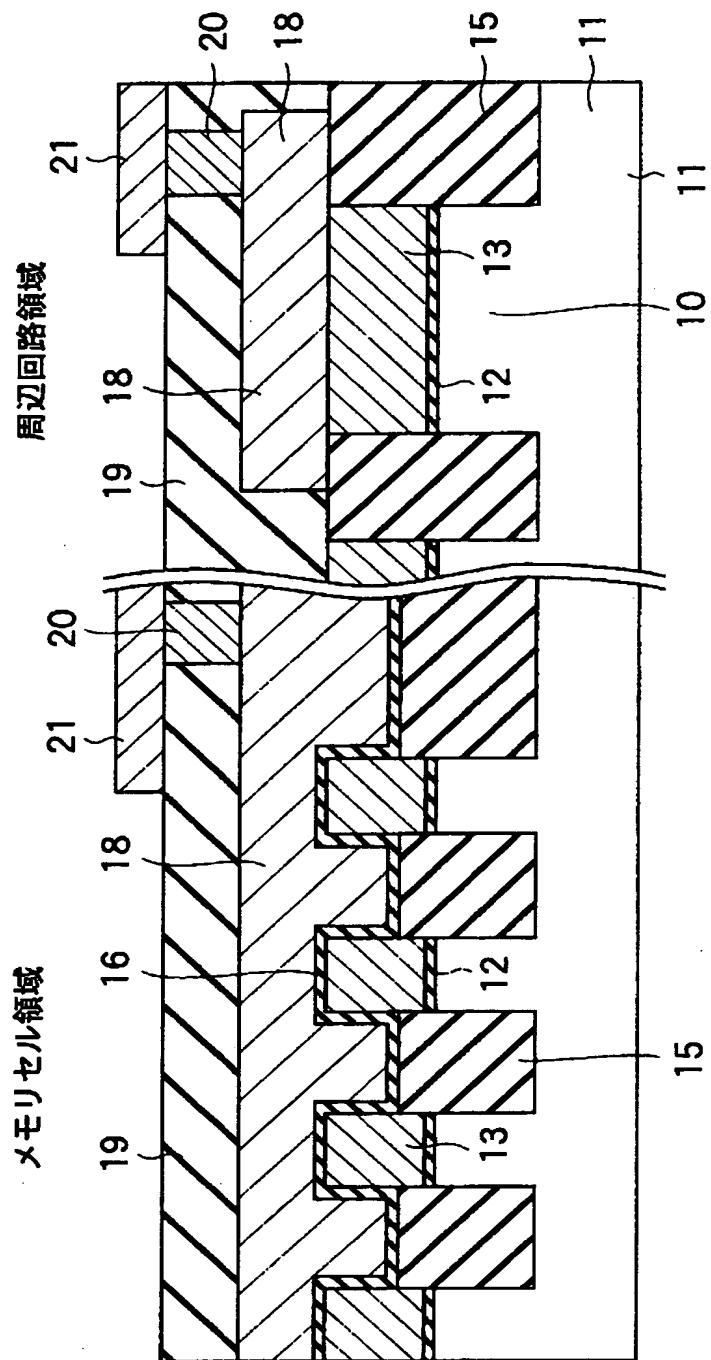
【図20】



【図21】



【図22】



【書類名】 要約書

【要約】

【課題】 メモリセル領域の微細化を図りつつ周辺回路領域における抵抗遅延を回避し、かつメモリセル領域と周辺回路領域とのゲート加工を同時に行う。

【解決手段】 周辺回路領域の半導体装置は、半導体基板11と、この半導体基板11の素子領域10を分離する素子分離領域15と、この素子分離領域15の表面と同一平面の表面を有し、素子領域10に第1の絶縁膜12を介して形成された第1の電極層13と、この第1の電極層13及び素子分離領域15上に形成され、第1の電極層13の表面の一部を露出する開口部17を有する第2の絶縁膜16と、この第2の絶縁膜16及び開口部17内に形成された第2の電極層18とを具備し、開口部17を介して第1の電極層13と第2の電極層18とが接続されている。

【選択図】 図3

【書類名】 手続補正書
【整理番号】 AH00004864
【提出日】 平成12年11月17日
【あて先】 特許庁長官 殿
【事件の表示】
【出願番号】 特願2000-291910
【補正をする者】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【手続補正 1】
【補正対象書類名】 明細書
【補正対象項目名】 請求項 1
【補正方法】 変更
【補正の内容】 1
【手続補正 2】
【補正対象書類名】 明細書
【補正対象項目名】 請求項 2
【補正方法】 変更
【補正の内容】 2
【手続補正 3】
【補正対象書類名】 明細書
【補正対象項目名】 請求項 3
【補正方法】 変更
【補正の内容】 3

【手続補正 4】

【補正対象書類名】 明細書
【補正対象項目名】 請求項25
【補正方法】 変更
【補正の内容】 4

【手続補正 5】

【補正対象書類名】 明細書
【補正対象項目名】 請求項26
【補正方法】 変更
【補正の内容】 5

【手続補正 6】

【補正対象書類名】 明細書
【補正対象項目名】 請求項27
【補正方法】 変更
【補正の内容】 6

【手続補正 7】

【補正対象書類名】 明細書
【補正対象項目名】 0015
【補正方法】 変更
【補正の内容】 7

【手続補正 8】

【補正対象書類名】 明細書
【補正対象項目名】 0016
【補正方法】 変更
【補正の内容】 8

【手続補正 9】

【補正対象書類名】 明細書
【補正対象項目名】 0017
【補正方法】 変更

【補正の内容】 9

【手続補正 10】

【補正対象書類名】 明細書

【補正対象項目名】 0029

【補正方法】 変更

【補正の内容】 10

【手続補正 11】

【補正対象書類名】 明細書

【補正対象項目名】 0030

【補正方法】 変更

【補正の内容】 11

【手続補正 12】

【補正対象書類名】 明細書

【補正対象項目名】 0031

【補正方法】 変更

【補正の内容】 12

【手続補正 13】

【補正対象書類名】 明細書

【補正対象項目名】 0042

【補正方法】 変更

【補正の内容】 13

【手続補正 14】

【補正対象書類名】 明細書

【補正対象項目名】 0053

【補正方法】 変更

【補正の内容】 14

【手続補正 15】

【補正対象書類名】 明細書

【補正対象項目名】 0069

【補正方法】 変更

【補正の内容】 15

【手続補正 16】

【補正対象書類名】 明細書

【補正対象項目名】 0079

【補正方法】 変更

【補正の内容】 16

【手続補正 17】

【補正対象書類名】 明細書

【補正対象項目名】 0085

【補正方法】 変更

【補正の内容】 17

【手続補正 18】

【補正対象書類名】 要約書

【補正対象項目名】 全文

【補正方法】 変更

【補正の内容】 18

【ブルーフの要否】 要

【請求項1】 半導体基板と、
前記半導体基板の素子領域を分離する素子分離領域と、
前記素子領域に第1の絶縁膜を介して前記素子分離領域と自己整合的に形成さ
れた第1の電極層と、
前記第1の電極層の表面の一部を露出した開口部を有する第2の絶縁膜と、
前記第2の絶縁膜上及び前記開口部内に形成された第2の電極層とを具備し、
前記開口部を介して前記第1の電極層と前記第2の電極層とが接続されている
ことを特徴とする半導体装置。

【請求項2】 半導体基板と、
前記半導体基板の素子領域を分離する素子分離領域と、
前記素子領域に第1の絶縁膜を介して前記素子分離領域と自己整合的に形成された第1の電極層と、
前記第1の電極層及び前記素子分離領域上に第2の絶縁膜を介して形成された第2の電極層と、
前記素子領域上の前記第2の電極層及び前記第2の絶縁膜の一部が除去され、前記第1の電極層の表面の一部を露出した開口部と、
前記開口部内及び前記第2の電極層上に形成された第3の電極層とを具備し、前記開口部を介して前記第1の電極層と前記第3の電極層とが接続されていることを特徴とする半導体装置。

【請求項3】 半導体基板と、
前記半導体基板の素子領域を分離する素子分離領域と、
前記素子領域に第1の絶縁膜を介して前記素子分離領域と自己整合的に形成された第1の電極層と、
前記第1の電極層の表面及び前記第1の電極層に隣接して形成されている前記素子分離領域の表面の一部を露出した開口部を有する第2の絶縁膜と、
前記第2の絶縁膜上及び前記開口部内に形成された第2の電極層とを具備し、
前記開口部を介して前記第1の電極層と前記第2の電極層とが接続されていることを特徴とする半導体装置。

【請求項25】 浮遊ゲートとして機能する第1の電極層と、制御ゲートとして機能する第2の電極層とを備え選択ゲートトランジスタを有するNAND型フラッシュメモリと、このNAND型フラッシュメモリの周辺に形成されている周辺回路領域とを具備した半導体装置において、

半導体基板と、

前記半導体基板の素子領域を分離する素子分離領域と、

前記素子領域に第1の絶縁膜を介して前記素子分離領域と自己整合的に形成された前記第1の電極層と、

前記周辺回路領域の第1の電極層の表面の一部を露出した開口部を有する第2の絶縁膜と、

前記第2の絶縁膜上及び前記開口部内に形成された前記第2の電極層とを具備し、

前記開口部を介して前記第1の電極層と前記第2の電極層とが接続されていることを特徴とする半導体装置。

【請求項26】 浮遊ゲートとして機能する第1の電極層と、制御ゲートとして機能する第2の電極層とを備え選択ゲートトランジスタを有するNAND型フラッシュメモリと、このNAND型フラッシュメモリの周辺に形成されている周辺回路領域とを具備した半導体装置において、

半導体基板と、

前記半導体基板の素子領域を分離する素子分離領域と、

前記素子領域に第1の絶縁膜を介して前記素子分離領域と自己整合的に形成された前記第1の電極層と、

前記第1の電極層及び前記第1の電極層に隣接して形成されている前記素子分離領域上に第2の絶縁膜を介して形成された前記第2の電極層と、

前記周辺回路領域の前記素子領域上の前記第2の電極層及び前記第2の絶縁膜の一部が除去され、前記第1の電極層の表面の一部を露出する開口部と、

前記開口部内及び前記第2の電極層上に形成された前記第3の電極層とを具備し、

前記開口部を介して前記第1の電極層と前記第3の電極層とが接続されていることを特徴とする半導体装置。

【請求項27】 浮遊ゲートとして機能する第1の電極層と、制御ゲートとして機能する第2の電極層とを備えたメモリセル領域と、選択ゲートトランジスタ領域を有するNAND型フラッシュメモリと、このNAND型フラッシュメモリの周辺に形成されている周辺回路領域とを具備した半導体装置において、

半導体基板と、

前記半導体基板の素子領域を分離する素子分離領域と、

前記素子領域に第1の絶縁膜を介して前記素子分離領域と自己整合的に形成された前記第1の電極層と、

前記メモリセル領域においては全面に形成され、前記選択ゲートトランジスタ領域においては前記第1の電極層の表面及び前記第1の電極層に隣接して形成されている前記素子分離領域の表面の一部を露出した第1の開口部を有し、前記周辺回路領域においては前記第1の電極層の表面の一部を露出した第2の開口部を有する第2の絶縁膜と、

前記第2の絶縁膜、前記素子分離領域及び前記第1の電極層上に形成された前記第2の電極層とを具備し、

前記第1、第2の開口部を介して前記第1の電極層と前記第2の電極層とが接続されていることを特徴とする半導体装置。

【0015】

本発明の第1の半導体装置は、半導体基板と、前記半導体基板の素子領域を分離する素子分離領域と、前記素子領域に第1の絶縁膜を介して前記素子分離領域と自己整合的に形成された第1の電極層と、前記第1の電極層の表面の一部を露出した開口部を有する第2の絶縁膜と、前記第2の絶縁膜上及び前記開口部内に形成された第2の電極層とを具備し、前記開口部を介して前記第1の電極層と前記第2の電極層とが接続されている。

【0016】

本発明の第2の半導体装置は、半導体基板と、前記半導体基板の素子領域を分離する素子分離領域と、前記素子領域に第1の絶縁膜を介して前記素子分離領域と自己整合的に形成された第1の電極層と、前記第1の電極層及び前記素子分離領域上に第2の絶縁膜を介して形成された第2の電極層と、前記素子領域上の前記第2の電極層及び前記第2の絶縁膜の一部が除去され、前記第1の電極層の表面の一部を露出した開口部と、前記開口部内及び前記第2の電極層上に形成された第3の電極層とを具備し、前記開口部を介して前記第1の電極層と前記第3の電極層とが接続されている。

【0017】

本発明の第3の半導体装置は、半導体基板と、前記半導体基板の素子領域を分離する素子分離領域と、前記素子領域に第1の絶縁膜を介して前記素子分離領域と自己整合的に形成された第1の電極層と、前記第1の電極層の表面及び前記第1の電極層に隣接して形成されている前記素子分離領域の表面の一部を露出した開口部を有する第2の絶縁膜と、前記第2の絶縁膜上及び前記開口部内に形成された第2の電極層とを具備し、前記開口部を介して前記第1の電極層と前記第2の電極層とが接続されている。

【0029】

上記第1の半導体装置は、浮遊ゲートとして機能する第1の電極層と、制御ゲートとして機能する第2の電極層とを備え選択ゲートトランジスタを有するNAND型フラッシュメモリと、このNAND型フラッシュメモリの周辺に形成されている周辺回路領域とを具備した半導体装置であって、半導体基板と、前記半導体基板の素子領域を分離する素子分離領域と、前記素子領域に第1の絶縁膜を介して前記素子分離領域と自己整合的に形成された前記第1の電極層と、前記周辺回路領域の第1の電極層の表面の一部を露出した開口部を有する第2の絶縁膜と、前記第2の絶縁膜上及び前記開口部内に形成された前記第2の電極層とを具備し、前記開口部を介して前記第1の電極層と前記第2の電極層とが接続されている。

【0030】

上記第2の半導体装置は、浮遊ゲートとして機能する第1の電極層と、制御ゲートとして機能する第2の電極層とを備え選択ゲートトランジスタを有するNAND型フラッシュメモリと、このNAND型フラッシュメモリの周辺に形成されている周辺回路領域とを具備した半導体装置であって、半導体基板と、前記半導体基板の素子領域を分離する素子分離領域と、前記素子領域に第1の絶縁膜を介して前記素子分離領域と自己整合的に形成された前記第1の電極層と、前記第1の電極層及び前記第1の電極層に隣接して形成されている前記素子分離領域上に第2の絶縁膜を介して形成された前記第2の電極層と、前記周辺回路領域の前記素子領域上の前記第2の電極層及び前記第2の絶縁膜の一部が除去され、前記第1の電極層の表面の一部を露出する開口部と、前記開口部内及び前記第2の電極層上に形成された前記第3の電極層とを具備し、前記開口部を介して前記第1の電極層と前記第3の電極層とが接続されている。

【0031】

上記第3の半導体装置は、浮遊ゲートとして機能する第1の電極層と、制御ゲートとして機能する第2の電極層とを備えたメモリセル領域と、選択ゲートトランジスタ領域を有するNAND型フラッシュメモリと、このNAND型フラッシュメモリの周辺に形成されている周辺回路領域とを具備した半導体装置において、半導体基板と、前記半導体基板の素子領域を分離する素子分離領域と、前記素子領域に第1の絶縁膜を介して前記素子分離領域と自己整合的に形成された前記第1の電極層と、前記メモリセル領域においては全面に形成され、前記選択ゲートトランジスタ領域においては前記第1の電極層の表面及び前記第1の電極層に隣接して形成されている前記素子分離領域の表面の一部を露出した第1の開口部を有し、前記周辺回路領域においては前記第1の電極層の表面の一部を露出した第2の開口部を有する第2の絶縁膜と、前記第2の絶縁膜、前記素子分離領域及び前記第1の電極層上に形成された前記第2の電極層とを具備し、前記第1、第2の開口部を介して前記第1の電極層と前記第2の電極層とが接続されている。

【0042】

図1、図2に示すように、メモリセルアレイ領域周辺の周辺回路領域における半導体装置は、半導体基板11と、この半導体基板11の素子領域10を分離する素子分離領域15と、素子領域10に第1の絶縁膜12を介して素子分離領域15と自己整合的に形成された第1の電極層13と、この第1の電極層13の表面の一部を露出した開口部17を有する第2の絶縁膜16と、この第2の絶縁膜16上及び開口部17内に形成された第2の電極層18とを具備し、開口部17を介して第1の電極層13と第2の電極層18とが接続されている。なお、第2の電極層18は、第1の電極層13よりも低抵抗な層であり、例えば高融点金属層又は高融点金属シリサイド層であることが望ましい。また、第2の絶縁膜16は、シリコン窒化膜を含む複合絶縁膜（例えばONO膜）であることが望ましい

【0053】

図4、図5に示すように、メモリセルアレイ領域周辺の周辺回路領域における半導体装置は、半導体基板11と、この半導体基板11の素子領域10を分離する素子分離領域15と、素子領域10に第1の絶縁膜12を介して素子分離領域15と自己整合的に形成された第1の電極層13と、この第1の電極層13及び素子分離領域15上に第2の絶縁膜16を介して形成された第2の電極層18aと、素子領域10上の第2の電極層18a及び第2の絶縁膜16を除去して第1の電極層13の表面の一部を露出することにより形成された開口部17と、この開口部17内及び第2の電極層18a上に形成された第3の電極層18bとを具備し、開口部17を介して第1の電極層13と第3の電極層18bとが接続されている。なお、第2、第3の電極層18a、18bは、第1の電極層13よりも低抵抗な層であり、例えば高融点金属層又は高融点金属シリサイド層であることが望ましい。また、第2の絶縁膜16は、シリコン窒化膜を含む複合絶縁膜（例えばONO膜）であることが望ましい。

【0069】

そこで、第3の実施形態は、図12乃至図14に示すように、選択ゲートトランジスタにおいては、半導体基板11と、この半導体基板11の素子領域10を分離する素子分離領域15と、素子領域10に第1の絶縁膜12を介して素子分離領域15と自己整合的に形成された第1の電極層13と、この第1の電極層13の表面及びこの第1の電極層13に隣接して形成されている素子分離領域15の表面の一部を露出した開口部17を有する第2の絶縁膜16と、この第2の絶縁膜16上及び開口部17内に形成された第2の電極層18とを具備し、開口部17を介して第1の電極層13と第2の電極層18とが接続されている。また、開口部17の形状はストライプ状になっている。また、第2の電極層18は、第1の電極層13よりも低抵抗な層であり、例えば高融点金属層又は高融点金属シリサイド層であることが望ましい。また、第2の絶縁膜16は、シリコン窒化膜を含む複合絶縁膜（例えばONO膜）であることが望ましい。

【0079】

つまり、第4の実施形態における半導体装置は、半導体基板11と、この半導体基板11の素子領域10を分離する素子分離領域15と、素子領域10に第1の絶縁膜12を介して素子分離領域15と自己整合的に形成された第1の電極層13と、この第1の電極層13及び素子分離領域15上に形成された第2の電極層18とを具備している。ここで、第2の電極層18は、第1の電極層13よりも低抵抗な層であり、高融点金属層又は高融点金属シリサイド層であることが望ましい。また、コンタクトホール20は、素子分離領域15の上方で第2の電極層18に接続されている。そして、第1の電極層13とこの第1の電極層13に信号を与える配線21との接続は、第2の電極層18を素子分離領域15上まで引き出して第2の電極層18を介して行われている。

【0085】

図16、図17に示すように、メモリセルアレイ領域周辺の周辺回路領域における半導体装置は、半導体基板11と、この半導体基板11の素子領域10を分離する素子分離領域15と、素子領域10に第1の絶縁膜12を介して素子分離領域15と自己整合的に形成された第1の電極層13と、この第1の電極層13及び素子分離領域15上に形成され、第1の電極層13の表面の一部を露出する開口部17を有する第2の絶縁膜16と、この第2の絶縁膜16及び開口部17内に形成された第2の電極層18と、第2の絶縁膜16の存在する素子領域10上方に形成され、第2の電極層18に接続されたコンタクトホール20とを具備し、開口部17を介して第1の電極層13と第2の電極層18とが接続されている。なお、第2の電極層18は、第1の電極層13よりも低抵抗な層であり、例えば高融点金属層又は高融点金属シリサイド層であることが望ましい。また、第2の絶縁膜16は、シリコン窒化膜を含む複合絶縁膜(ONO膜)であることが望ましい。

【書類名】 要約書

【要約】

【課題】 メモリセル領域の微細化を図りつつ周辺回路領域における抵抗遅延を回避し、かつメモリセル領域と周辺回路領域とのゲート加工を同時に行う。

【解決手段】 周辺回路領域の半導体装置は、半導体基板11と、この半導体基板11の素子領域10を分離する素子分離領域15と、素子領域10に第1の絶縁膜12を介して素子分離領域15と自己整合的に形成された第1の電極層13と、この第1の電極層13及び素子分離領域15上に形成され、第1の電極層13の表面の一部を露出する開口部17を有する第2の絶縁膜16と、この第2の絶縁膜16及び開口部17内に形成された第2の電極層18とを具備し、開口部17を介して第1の電極層13と第2の電極層18とが接続されている。

【選択図】 図3

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝